

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-34426

(43)公開日 平成9年(1997)2月7日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 5/00	5 5 5	9377-5H	G 0 9 G 5/00	5 5 5 P
		9377-5H		5 5 5 K
5/14		9377-5H	5/14	E
5/36	5 1 0	9377-5H	5/36	5 1 0 M
	5 2 0	9377-5H		5 2 0 L

審査請求 未請求 請求項の数2 F D (全 16 頁) 最終頁に続く

(21)出願番号 特願平7-207670  
(22)出願日 平成7年(1995)7月21日

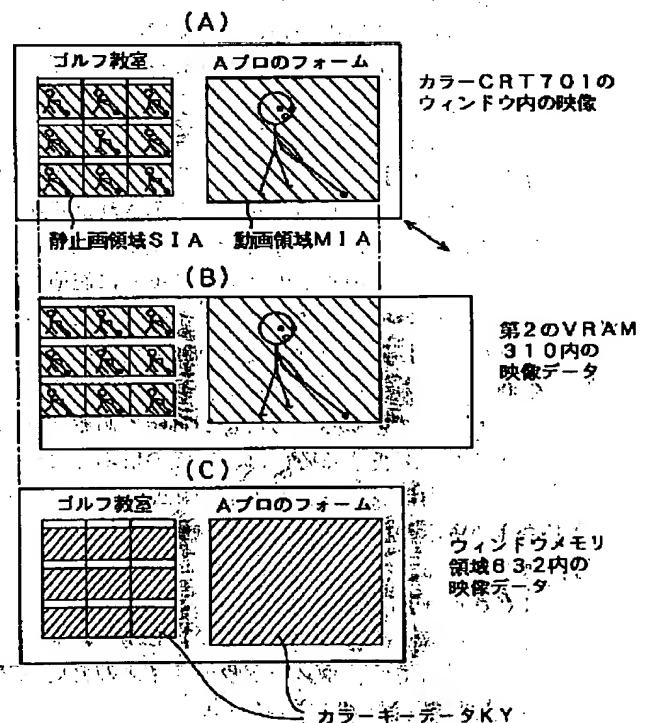
(71)出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72)発明者 竹内 啓佐敏  
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内  
(74)代理人 弁理士 五十嵐 孝雄 (外3名)

(54)【発明の名称】 映像表示方法

(57)【要約】

【課題】 静止画と動画を同時にスケーリングしながら表示する。

【解決手段】 静止画映像信号を映像メモリ310内の静止画領域SIAに書き込む。そして、映像メモリ310内の動画領域MIAに動画映像信号を書き込むとともに映像メモリ310に書き込まれている映像信号を読み出しつつ映像のスケーリングを行ない、スケーリング後の映像信号を表示デバイスに供給する。この結果、同時にスケーリングされた動画と静止画が表示デバイスに表示される。



(2)

## 【特許請求の範囲】

【請求項1】 コンピュータシステムの表示デバイスに動画と静止画とを同時に表示する方法であって、(a) 静止画映像信号を映像メモリ内の静止画領域に書込む工程と、(b) 前記映像メモリ内の動画領域に動画映像信号を書込むとともに、前記映像メモリに書込まれている映像信号を読み出しつつ映像のスケーリングを行ない、スケーリング後の映像信号を表示デバイスに供給することによって、スケーリングされた動画と静止画を表示デバイスに表示する工程と、を備える映像表示方法。

【請求項2】 コンピュータシステムの表示デバイスに動画と静止画とを同時に表示する方法であって、(a) 表示デバイスの表示画面に対応したメモリ空間を有する第1の映像メモリ内に、スーパーインポーズ領域を示すキーデータを書込む工程と、(b) 第2の映像メモリ内の静止画領域に静止画映像信号を書込む工程と、(c) 前記第2の映像メモリ内の動画領域に動画映像信号を連続的に書込みつつ、前記第2の映像メモリに書き込まれている第1の映像信号を読み出す工程と、(d) 前記第1の映像信号で表わされる映像のスケーリングを行なうことによって、第2の映像信号を求める工程と、(e) 前記第1の映像メモリから読み出された第3の映像信号で表わされる映像の前記スーパーインポーズ領域内に前記第2の映像信号を合成することによって、第4の映像信号を求める工程と、(f) 前記第4の映像信号を表示デバイスに供給することによって、スケーリングされた動画と静止画を表示デバイスに表示する工程と、を備える映像表示方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、コンピュータシステムの表示デバイスに動画と静止画とを同時に表示する方法に関する。

## 【0002】

【従来の技術】 図12は、表示デバイスの1つのウィンドウ内に静止画と動画が同時に表示された状態を示す説明図である。このような表示を実現するために、従来は、静止画と動画を別のビデオメモリに記憶しておき、表示の際に合成するオーバーレイ技術が使用される。

【0003】 ところで、MS-WINDOWS（マイクロソフト社の商標）等のマルチウィンドウシステムでは、各ウィンドウのサイズを変更することが可能である。ウィンドウのサイズを変更する際には、映像の倍率を変更せずにウィンドウ内に表示される映像の範囲を広くする方法と、映像の表示範囲は変更せずに映像をスケーリングする方法とがある。

## 【0004】

【発明が解決しようとする課題】 しかし、従来のオーバーレイ技術では、ウィンドウのサイズの変更に際して、静止画と動画を同時にスケーリングしながら表示するこ

とは困難であった。

【0005】 この発明は、従来技術における上述の課題を解決するためになされたものであり、静止画と動画を同時にスケーリングしながら表示することを目的とする。

## 【0006】

【課題を解決するための手段およびその作用・効果】 上述の課題の少なくとも一部を解決するため、第1の発明は、コンピュータシステムの表示デバイスに動画と静止画とを同時に表示する方法であって、(a) 静止画映像信号を映像メモリ内の静止画領域に書込む工程と、

(b) 前記映像メモリ内の動画領域に動画映像信号を書込むとともに、前記映像メモリに書込まれている映像信号を読み出しつつ映像のスケーリングを行ない、スケーリング後の映像信号を表示デバイスに供給することによって、スケーリングされた動画と静止画を表示デバイスに表示する工程と、を備える。

【0007】 映像メモリ内に静止画と動画とを書込み、これらを含む映像を表わす映像信号を読み出しつつ映像のスケーリングを行なうので、静止画と動画が同時にスケーリングされる。そして、スケーリング後の映像信号を表示デバイスに供給するので、同時にスケーリングされた静止画と動画とを表示デバイスに表示することができる。

【0008】 第2の発明は、コンピュータシステムの表示デバイスに動画と静止画とを同時に表示する方法であって、(a) 表示デバイスの表示画面に対応したメモリ空間を有する第1の映像メモリ内に、スーパーインポーズ領域を示すキーデータを書込む工程と、(b) 第2の映像メモリ内の静止画領域に静止画映像信号を書込む工程と、(c) 前記第2の映像メモリ内の動画領域に動画映像信号を連続的に書込みつつ、前記第2の映像メモリに書き込まれている第1の映像信号を読み出す工程と、(d) 前記第1の映像信号で表わされる映像のスケーリングを行なうことによって、第2の映像信号を求める工程と、(e) 前記第1の映像メモリから読み出された第3の映像信号で表わされる映像の前記スーパーインポーズ領域内に前記第2の映像信号を合成することによって、第4の映像信号を求める工程と、(f) 前記第4の映像信号を表示デバイスに供給することによって、スケーリングされた動画と静止画を表示デバイスに表示する工程と、を備える。

【0009】 第2の映像メモリに静止画と動画とを書込み、これらを含む映像を表わす第1の映像信号を読み出しつつ映像のスケーリングを行なうので、静止画と動画が同時にスケーリングされた映像を表わす第2の映像信号が得られる。この第2の映像信号を、第1の映像メモリから読み出された第3の映像信号のスーパーインポーズ領域内に合成する。従って、静止画と動画を同時にスケーリングしながら、表示デバイスのスーパーインポーズ

(3)

3

領域内にはめ込むことができる。

#### 【0010】

【発明の他の態様】この発明は、以下のような他の態様も含んでいる。第1の態様では、第2の発明において、さらに、(g)前記工程(d)におけるスケーリングの倍率を変更するとともに、前記スーパーインポーズ領域を前記倍率でスケーリングするように前記第1の映像メモリに記憶されている前記キーデータを変更する工程、を備える。

【0011】こうすれば、静止画と動画のスケーリングの倍率を変更しても、スーパーインポーズ領域が同じ倍率でスケーリングされるので、静止画と動画の表示部分がスケーリング前と同じに保たれる。

#### 【0012】

##### 【発明の実施の形態】

##### A. 装置の全体構成

次に、本発明の実施の形態を実施例に基づき説明する。図1は、この発明の一実施例を適用するコンピュータシステムの構成を示すブロック図である。このコンピュータシステムは、バス610に、CPU620と、メインメモリ630と、周辺コントローラ640と、複合I/Oポート650と、ネットワークインタフェース656と、ビデオコントローラ660と、第1のビデオRAM(VRAM)670と、映像転送コントローラ680と、映像処理回路800とが接続されている。映像処理回路800は、その内部に第2のビデオRAM310を有している。なお、第1のVRAM670は、カラーCRT701の表示領域と1対1に対応するメモリ領域を有している。

【0013】周辺コントローラ640にはキーボード642とマウス644とが接続されている。また、複合I/Oポート650にはフロッピディスク装置652とハードディスク装置654とが接続されている。

【0014】ビデオコントローラ660には、表示デバイスとしてのカラーCRT701(またはカラー液晶ディスプレイ)が接続されている。ビデオコントローラ660は、第1のVRAM670に静止画の映像データを書き込むとともに、第1のVRAM670から映像信号を読み出して映像処理回路800に供給する機能を有する。ビデオコントローラ660は、さらに、同期信号SYNC(垂直同期信号VSPCと水平同期信号HSPC)を生成して、カラーCRT701と映像処理回路800に供給する機能を有している。

【0015】映像転送コントローラ680には、動画映像データ供給装置としてのCD-ROM装置682が接続されている。映像転送コントローラ680は、CD-ROM装置682から与えられた動画映像データを、バス610を介して第2のVRAM310に転送するプロセッサとしての機能を有している。

【0016】映像処理回路800は、動画映像信号と静

4

止画映像信号とを合成するとともに、合成後の映像を表わす映像信号をカラーCRT701に供給する機能を有する。また、映像処理回路800は、合成後の映像信号をスケーリングすることによって、静止画と動画を同時に拡大・縮小する機能を有する。

【0017】B. 映像処理回路800の内部構成：図2は、映像処理回路800の内部構成を示すブロック図である。なお、この映像処理回路800の構成は、本出願人により開示された特開平2-298176号公報の第4図に記載されているものと同一である。

【0018】この映像処理回路800は、音声信号を取り扱う音声部ACUと、テレビ信号などアナログ映像信号を取り扱うアナログ部ANUと、映像メモリ部IMUと、映像メモリ部IMUへの映像データの書き込みを制御する書込制御部WCUと、映像メモリ部IMUに記憶された映像データを外部に読出す読出制御部RCUと、映像を再生する映像再生部IRUとを有している。

【0019】音声部ACUは、音声入力端子101と、音声信号選択回路110と、音量制御回路120と、音声出力端子102とを有している。音声入力端子101には、ビデオプレーヤ等の動画信号供給装置から与えられた音声信号ASEXが入力される。音声信号選択回路110は、この音声信号ASEXと、アナログ部ANUのテレビチューナ710から入力される音声信号ASTVの一方を選択して出力する。なお、テレビチューナ710における選局はCPU620から指示される。選択された音声信号は、音量制御回路120によって音量が調節され、音声出力端子102から出力される。音声出力端子102から出力される音声信号ASMONは、カラーCRT701の音声入力端子またはスピーカに与えられる。

【0020】アナログ部ANUは、テレビチューナ710と、テレビアンテナ711と、映像入力端子103と、映像信号選択回路130と、映像信号デコード140と、AD変換器210と、デジタル制御回路220とを有している。映像入力端子103には、動画信号供給装置から与えられた映像信号VSEXが入力される。映像信号選択回路130は、この映像信号VSEXと、CPU620により選局指示されたテレビチューナ710から与えられる映像信号VSTVの一方を選択して出力する。選択された映像信号は、映像信号デコード140によって映像信号LSTVと同期信号SSTVとに分離される。この映像信号LSTVは、RGBの3原色の色信号である。AD変換器210は、アナログ信号である映像信号LSTVをデジタル信号に変換し、書込制御部WCUに供給する。デジタル制御回路220は、同期信号SSTVに基づいてAD変換器210を制御しており、また、書込制御部WCUを経由してVRAM310を制御している。

【0021】書込制御部WCUは、映像データ選択回路

(4)

5

320と、映像メモリ制御信号選択回路330と、書込制御回路340とを有している。映像データ選択回路320は、書込制御回路340から出力される書込選択信号CCに応じて、映像信号LSTVを入力とするAD変換器210の出力と、CPU620によって外部記憶装置などの外部装置から読出された映像信号LSWPCとの一方を選択して出力する。映像メモリ制御信号選択回路330は、書込選択信号CCに応じて、デジタル制御回路220が出力する映像メモリ制御信号WETVと、書込制御回路340が出力する映像メモリ制御信号WEP Cとの一方を選択して出力する。書込制御回路340は、CPU620または映像転送コントローラ680から供給された映像信号LSWPCを映像メモリ部IMUに書き込む動作を制御する。

【0022】読出制御部RCUは、読出制御回路350と、先入れ先出しメモリ(FIFOメモリ)360と、FIFO読出制御回路370とを有している。FIFO読出制御回路370によって映像メモリ部IMUから読出された映像信号LSFIFは、FIFOメモリ360に記憶される。FIFOメモリ360に記憶された映像信号LSFIFは、読出制御回路350によって外部に読出される。読出制御部RCUは、映像メモリ部IMUに記憶された映像データを、CPU620の命令に応じて外部装置に出力する際に使用される。

【0023】映像メモリ部IMUは、1つの書き込みポートと2つの読出しポートを有する3ポートVRAM310を有している。3ポートVRAM310としては、ソニー株式会社製のCXK1206または富士通株式会社製のMB81C1501を使用することができる。3ポートVRAM310の構成と機能については、本出願人により開示された特開平2-298176号公報に記載されているので、ここでは説明を省略する。なお、このVRAM310は、特に3ポートに限ることなく映像データを記憶するメモリであればよい。

【0024】映像再生部IRUは、ビデオコントローラ660から出力された映像信号LSPCと、VRAM310から出力された映像信号LSMEMとを合成して合成映像信号LSMONを生成し、これをカラーCRT701に出力する機能を有する。

【0025】映像再生部IRU内の各信号はそれぞれ次の内容を表わしている。

LSPC: ビデオコントローラ660から出力された映像信号。

LSMEM: VRAM310から読出された映像信号。

LSDA: アナログ化された映像信号。

LSMON: カラーモニター701に表示される映像を表わす合成映像信号。

【0026】CNT: ビデオスイッチ510を切換える切換信号。切換信号CNTがHレベルの場合には映像信号LSDAが選択され、Lレベルの場合には映像信号L

6

SPCが選択される。

【0027】SENB L: スーパーインポーズの可否を指定する第1の許可信号。第1の許可信号SENB Lは、オペレータがキーボード642またはマウス644を用いてスーパーインポーズを行なうモードを指定するとHレベルに切り換わり、スーパーインポーズを行わないモードを指定するとLレベルに切り換わる。

SSENB L: 画面上におけるスーパーインポーズ領域に相当するタイミングを示す第2の許可信号。第2の許可信号SSENB Lは、スーパーインポーズ領域内でHレベルとなり、スーパーインポーズ領域外ではLレベルとなる。なお、スーパーインポーズ領域は、オペレータによってカラーモニター701の画面上で指定される。

NENB L: 多重スーパーインポーズの可否を示す第3の許可信号。第3の許可信号NENB Lは、映像信号LSPCにスーパーインポーズされた映像信号LSDAの一部に、さらに映像信号LSPCをスーパーインポーズするか否かを示す。

【0028】COMP: 多重スーパーインポーズの領域を示す信号。この比較信号COMPのレベルは、映像信号LSPCを所定の基準電圧V<sub>r</sub>と比較することによって決定され、映像信号LSDAの一部に映像信号LSPCをスーパーインポーズする領域ではHレベルとなる。比較信号COMPは、次に述べる許可信号CENB LがHレベルの時には有効とされて、上記の第3の許可信号NENB Lとなる。

CENB L: 多重スーパーインポーズの可否を指定する許可信号。許可信号CENB Lのレベルは、オペレータによって切換えられる。

【0029】映像再生部IRU内のDA変換器410は、VRAM310から読みだされた映像信号LSMEMをアナログ信号に変換してビデオスイッチ510に供給する。ビデオスイッチ510は、ビデオコントローラ660から出力された映像信号LSPCと、DA変換器410から出力された映像信号LSDAの一方を選択して、合成映像信号LSMONとしてカラーCRT701に供給する。ビデオスイッチ510の選択信号CNTは、AND回路451の出力信号である。

【0030】スーパーインポーズ制御回路420は、映像処理回路800内のVRAM310に記憶されている映像信号を読み出すとともに、その映像信号で表わされる映像をスケールリングする機能を有している。

【0031】B. スーパーインポーズ制御回路420の詳細構成と動作: 図3は、スーパーインポーズ制御回路420及びその周辺回路のブロック回路図である。又、ここに示される3ポートVRAM310は、3つの入出力ポートのうち読出ポートが使用される。ソニー社製CXK1206のデータシート番号71215-STの第27頁~第31頁には、上記の読出ポートに係るタイミングチャートが記載されている。使用するポートは上記

(5)

7

データシート第2頁のリードポート1である。

【0032】3ポートVRAM310では、メモリ駆動クロック信号HDCKがポート1シフト信号端子CKR1に、メモリ垂直/水平リセット信号MRSTがポート1垂直クリア端子VCLR1に、水平方向リセット信号HRSTがポート1水平クリア端子HCLR1に、垂直オフセット信号VROFT又は垂直読出ラインクロック信号VRLCKがポート1ラインインクリメント端子INC1に、ポート1出力イネーブルRE1（負論理）がポート1出力イネーブル端子RE1（負論理）にそれぞれ与えられる。又、アナログRGB信号LSMEM

（R、G、B中の1データがそれぞれ）がポート1データ出力DO10～DO13から読み出される。

【0033】上記各端子に対応するポート1シフト信号CKR1、ポート1垂直クリアVCLR1、ポート1水平クリア信号HCLR1、ポート1ラインインクリメント信号INC1、ポート1出力イネーブルRE1（負論理）により、読出制御されるアナログRGB信号LSMEMは、R、G、B毎に例えば4ビットで、それぞれポート1データ出力DO10～DO13より出力される。

【0034】ビデオスイッチ510は切換信号入力端子CNTに入力される切換信号VSELにより、A端子又はB端子の入力をコモン端子Cから出力する。具体的には、切換信号VSELがハイレベル『H』のときにB端子の入力を、ローレベル『L』のときにA端子の入力を、それぞれC端子から出力する。CPU620は、パーソナルコンピュータ内のバス610を介して各部を制御する。

【0035】図3の421は水平基準読出ドットクロック信号HBDCKを出力する水平基準読出ドットクロック発生器を示し、422は水平読出開始信号HRSA及び水平読出方向リセット信号HRSTを出力する水平読出開始カウンタを示し、423は水平基準開始信号HRSBを出力する水平6.4クロックカウンタを示し、424は水平読出回数信号HRTを出力する水平読出回数カウンタを示し、425は水平読出ドットクロック信号HDDAを出力する水平読出ドットクロック発生器を示す。また、垂直読出オフセットカウンタ426は、水平基準読出ドットクロック発生器421に同期したカウント数で、3ポートVRAM310の垂直方向の読出しラインのオフセットラインを決定する垂直読出オフセット信号VROFTを出力する。垂直ブランキング数カウンタ427は垂直ブランキング終了信号VBEを出力し、垂直読出開始カウンタ428は垂直読出開始信号VRSを出力し、垂直読出回数カウンタ429は垂直読出回数信号VRTを出力し、垂直読出ラインクロック発生器430は垂直読出ラインクロック信号VRLCKを出力する。AND回路431は2つの映像信号LSPC、LSDAをスーパーインポーズさせる切換信号VSELを出力し、OR回路432は垂直読出オフセット信号VRO

8

FTと垂直読出ラインクロック信号VRLCKを、ポート1ラインインクリメント信号INC1として出力し、NOR回路433はリードイネーブルRE1信号を出力する。また、符号434、435はトライステート回路、436はインバータ回路を示す。

【0036】色信号入力端子506から到来する映像信号LSPCの色信号はビデオスイッチ510のA端子に与えられる。入力端子506の水平同期信号を成す同期端子507から到来する水平同期信号HSPCは、水平基準読出ドットクロック発生器421、水平読出開始カウンタ422、水平6.4クロックカウンタ423、水平読出回数カウンタ424、垂直ブランキング数カウンタ427、垂直読出開始カウンタ428、垂直読出回数カウンタ429、垂直読出ラインクロック発生器430に与えられると共に、垂直同期信号VSPCは、3ポートVRAM310、垂直読出オフセットカウンタ426、垂直ブランキング数カウンタ427、垂直読出開始カウンタ428、垂直読出回数カウンタ429、垂直読出ラインクロック発生器430に与えられる。また、同期信号HSPC、VSPCは、同期信号端子490、491へもそれぞれ送出される。

【0037】ここで、水平同期信号HSPC及び垂直同期信号VSPCの入出力について、図4を用いて説明する。水平同期信号HSPC及び垂直同期信号VSPCは、バッファ62、61を介して同期信号端子490、491及びスーパーインポーズ制御回路420中の図3に示す所要回路へ与えられる。このバッファ61、62はインピーダンス変換・波形整形等の機能を有し、画像処理装置が縦続接続される場合でも、上記同期信号の的確な伝送に寄与する。また、水平同期信号HSPCは水平基準読出ドットクロック発生器421内のPLL回路63へ与えられ、CPU620により指定された水平画面全体の水平解像度を規定する信号として水平基準読出ドットクロックHBDCKが発生される。

【0038】PLL回路63は図5に示されるように構成される。つまり、信号線70から水平同期信号HSPCが位相比較器71へ与えられ、また、N分周器74の出力が位相比較器71へ与えられ、位相比較器71ではこれらの信号の位相比較を行って位相差に対応したパルス幅の信号を出力する。位相比較器71の出力はローパスフィルタ72に与えられ平滑化され、電圧制御発振器（VCO）73へ与えられる。VCO73は与えられる電圧に応じた周波数で発振し、これが水平基準読出ドットクロックHBDCKとされて各部へ送出されるとともに、N分周器74へ与えられ、水平同期信号HSPCの周波数にまで分周されて位相比較器71へ戻される。この結果、水平同期信号HSPCに同期した水平基準読出ドットクロックHBDCKが作成される。

【0039】図3のスーパーインポーズ制御回路420における水平読出開始カウンタ422、水平6.4クロ

(6)

9

クカウンタ423及び水平読出回数カウンタ424は、水平同期信号HSPCによりそのカウント値がそれぞれリセットされる。さらに、同期端子508から到来する垂直同期信号VSPCは、3ポートVRAM310のポート1垂直クリアVCLR1、NOR回路433、垂直読出オフセットカウンタ426、垂直ブランキング数カウンタ427、垂直読出開始カウンタ428、垂直読出回数カウンタ429、垂直読出ラインクロック発生器430及び同期信号端子491へそれぞれ送出される。また、垂直読出オフセットカウンタ426、垂直ブラン

【0040】水平基準読出ドットクロック発生器421より発生された水平基準読出ドットクロック信号HBDCKは、水平読出開始カウンタ422、水平64クロックカウンタ423、水平読出回数カウンタ424、垂直読出オフセットカウンタ426に与えられると共に、トライステート回路435を介して3ポートVRAM310のクロック信号HDCKとして、3ポートVRAM310のポート1シフト信号端子CKR1に送出される。

【0041】また、水平読出ドットクロック発生器425は、水平64クロックカウンタ423からの水平読出基準信号HRSBを基準とし、水平同期信号HSPCの周波数のN1 倍の周波数の信号を出力するPLL回路により構成されており、水平読出ドットクロック信号HDDAを出力する。この水平読出ドットクロック発生器425により発生された水平読出ドットクロック信号HDDAは、トライステート回路434を介して3ポートVRAM310のクロック信号HDCKとして3ポートVRAM310のポート1シフト信号端子CKR1及びD-A変換器410へ与えられ、ディジタルRGB信号LSMEMの読出クロック信号及びD-A変換器410の変換クロック信号として用いられる。

【0042】図6は、スーパーインポーズ制御回路420内の各回路の設定値の機能を示す説明図である。図6に示すように、水平基準読出ドットクロック信号HBDCKの周波数 $f_{HBDCK}$ と、水平読出ドットクロック信号HRDCKの周波数 $f_{HDDA}$ の比 $(f_{HBDCK} / f_{HDDA})$ は、VRAM310から読出される映像(図6(A))と、カラーCRT701に表示される映像(図6

(B))の水平方向の倍率KHに等しい。従って、水平読出ドットクロック信号HDDAの周波数 $f_{HDDA}$ を調整することによって、カラーCRT701に表示される映像を水平方向に拡大したり縮小したりすることが可能である。換言すれば、水平読出ドットクロック発生器425内のPLL回路の分周値N425の値を調整することによって、映像を水平方向にスケールリングすることができる。

【0043】垂直読出ラインクロック発生器430は、

10

垂直同期信号VSPCに同期し、垂直同期信号VSPCの周波数のN2 倍の周波数の信号を出力するPLL回路により構成されており、垂直読出ラインクロック信号VRLCKを出力する。この垂直読出ラインクロック発生器430により発生された垂直読出ラインクロック信号VRLCKは、OR回路432を介して3ポートVRAM310の垂直方向のアドレスであるラインアドレスを進めるポート1ラインインクリメント端子INC1に与えられると共に、OR回路432、NOR回路433を介してポート1出力イネーブルRE1端子(負論理)へ与えられる。

【0044】図6に示すように、水平同期信号HSPCの周波数 $f_{HSPC}$ と、垂直読出ラインクロック信号VRLCKの周波数 $f_{VRLCK}$ の比 $(f_{HSPC} / f_{VRLCK})$ は、3ポートVRAM310から読出された映像(図6(A))と、カラーCRT701に表示される映像(図6(B))の垂直方向の倍率KVに等しい。従って、垂直読出ラインクロック信号VRLCKの周波数 $f_{VRLCK}$ を調整することによって、カラーCRT701に表示される映像を垂直方向に拡大・縮小することが可能である。換言すれば、垂直読出ラインクロック発生器430内のPLL回路の分周値N430の値を調整することによって、映像を垂直方向にスケールリングすることができる。

【0045】スーパーインポーズ制御回路420は、これら水平基準読出ドットクロック信号HBDCK、水平読出ドットクロック信号HDDA及び垂直読出ラインクロック信号VRLCKにより、基本的な読出しタイミングを得ている。

【0046】垂直読出オフセットカウンタ426は、3ポートVRAM310の読出ラインの開始オフセットライン位置を決めるため、垂直同期信号VSPCによりカウント値がリセットされた後に、水平基準読出ドットクロック発生器421から出力される水平基準読出ドットクロック信号HBDCKに同期しながら、3ポートVRAM310の垂直方向のラインアドレスを歩進する垂直オフセット信号VROFTをOR回路432へ送出する。

【0047】図6(A)に示すように、垂直読出オフセットカウンタ426の設定値N426は、3ポートVRAM310から読出される映像部分(図中破線で囲む領域)の垂直方向の開始位置を示している。

【0048】垂直ブランキング数カウンタ427は映像信号LSPCの垂直バックポーチ領域を削除させるためのカウンタ(図示せず)を含んでいる。このカウンタは水平同期信号HSPCのクロック数をカウントし、垂直バックポーチ領域を過ぎると垂直ブランキング終了信号VBEを垂直読出開始カウンタ428へ出力する。

【0049】垂直読出開始カウンタ428は、垂直ブランキング数カウンタ427から送出される許可信号(垂

(7)

11

直ブランキング終了信号VBE)を受けて、水平同期信号HSPCのクロック数をカウントし、3ポートVRAM310からの垂直方向に対する読出開始許可信号(垂直読出開始信号)VRSを垂直読出回数カウンタ429へ出力する。

【0050】図6(C)に示すように、垂直読出開始カウンタ428の設定値N428は、3ポートVRAM310から読出された映像がカラーCRT701の画面に表示される際の、垂直方向の表示開始位置を規定する。

【0051】垂直読出回数カウンタ429は、垂直読出開始カウンタ428から送出される許可信号(制御信号VRS)を受けて、水平同期信号HSPCのクロック数をカウントし、3ポートVRAM310からの垂直方向に対する読出期間を示す信号、すなわち垂直読出回数信号VRTをAND回路431へ出力する。

【0052】図6(B)、(C)に示すように、垂直読出回数カウンタ429の設定値N429は、カラーCRT701に表示される映像の垂直方向のライン数を規定する。

【0053】以上に説明した垂直読出オフセットカウンタ426、垂直ブランキング数カウンタ427、垂直読出開始カウンタ428、垂直読出回数カウンタ429及び垂直読出ラインクロック発生器430により、3ポートVRAM310に対する垂直方向の読出し制御が行われる。

【0054】なお、垂直読出オフセットカウンタ426がカウントする水平基準読出ドットクロック信号HBDCKのクロック数N426、垂直ブランキング数カウンタ427がカウントする水平同期信号HSPCのクロック数N427、垂直読出開始カウンタ428がカウントする水平同期信号HSPCのクロック数N428、垂直読出回数カウンタ429がカウントする水平同期信号HSPCのクロック数N429、垂直読出ラインクロック発生器430内のPLL回路内のN分周器の値は、パーソナルコンピュータ内のCPU620によってそれぞれ所要の値に設定される。

【0055】水平読出開始カウンタ422は、水平基準読出ドットクロック発生器421から送出される水平基準読出ドットクロック信号HBDCKのクロック数をカウントし、3ポートVRAM310の水平方向に対する読出開始許可信号(水平読出開始信号HRTSA)を水平64クロックカウンタ423へ送出する。

【0056】図6(C)に示すように、水平読出開始カウンタ422の設定値N422は、3ポートVRAM310から読出された映像がカラーCRT701の画面に表示される際の、水平方向の表示開始位置を規定する。

【0057】水平64クロックカウンタ423は水平読出開始カウンタ422から送出される許可信号(水平読出開始信号HRTSA)を受けて、水平基準読出ドットクロック発生器421から出力される水平基準読出ドット

12

クロック信号HBDCKのクロック数をカウントする。そして、そのカウント値が3ポートVRAM310の読出時の特性である64クロックになると、水平読出基準信号HRSBを水平読出ドットクロック発生器425、水平読出回数カウンタ424及びAND回路431へ出力する。

【0058】水平読出回数カウンタ424は水平基準読出ドットクロック発生器421から送出される水平基準読出ドットクロック信号HBDCKのクロック数をカウントし、3ポートVRAM310の水平方向に対する読出期間の許可信号(水平読出回数信号HRT)をAND回路431へ送出する。

【0059】図6(B)、(C)に示すように、水平読出回数カウンタ424の設定値N424は、カラーCRT701に表示される映像の水平方向のドット数を規定する。

【0060】かくして、水平読出開始カウンタ422、水平64クロックカウンタ423及び水平読出回数カウンタ424により、3ポートVRAM310に対する水平方向の読出制御が行われる。なお、水平基準読出ドットクロック発生器421のPLL回路内の分周器の設定値と、水平読出ドットクロック発生器425のPLL回路内の分周器の設定値と、水平読出開始カウンタ422がカウントする水平基準読出ドットクロック信号HBDCKのクロック数N422と、水平読出回数カウンタ424がカウントする基準ドットクロック信号HBDCKのクロック数N424は、パーソナルコンピュータ内のCPU620によってそれぞれ所要の値に設定される。

【0061】C、第1実施例における映像処理の内容：図7は、本発明の第1実施例の処理内容を示す説明図であり、図8はその処理手順を示すフローチャートである。なお、図8の処理は、メインメモリ630に格納されたアプリケーションプログラムをCPU620が実行することによって行なわれる。

【0062】第1実施例の処理では、図7(A)に示すように、カラーCRT701の1つのウィンドウ内の左半分に、9人の異なるプロゴルファーの写真を静止画として表示する。そして、ユーザがマウス644を用いてプロゴルファーの一人を選択する、ウィンドウの右半分にそのプロゴルファーのゴルフスウィングを示す動画が表示される。

【0063】図8のステップS1では、CPU620または映像転送コントローラ680が、静止画の映像データを外部記憶媒体であるCD-ROM装置682から読み出して第2のVRAM310内の静止画領域SIAに書き込む。第1のVRAM670に記憶された映像データはスーパーインポーズ制御回路420によって読み出され、その映像信号がカラーCRT701に供給される。従って、ステップS1において第1のVRAM310に書き込まれた静止画がカラーCRT701に表示さ



(8)

13

れることになる。

【0064】ステップS2では、ユーザが静止画として表示された9人のプロゴルファーの中から一人を選択する。ステップS3では、選択されたゴルファーのスウィングを示す動画映像データを、映像転送コントローラ680がCD-ROM装置682から読み出して第2のVRAM310内の動画領域MIAに転送する。すると、図7(B)に示すように、第2のVRAM310内の動画領域MIA内に、ゴルファーのスウィングの動画が書き込まれる。

【0065】図7(C)に示すように、メインメモリ630のウィンドウメモリ領域632には、ウィンドウ内に表示される文字「ゴルフ教室」および「Aプロのフォーム」と、第2のVRAM310内の映像をスーパーインポーズする領域を示すカラーキーデータKYとが書き込まれている。ウィンドウメモリ領域632の映像データは、CPU620によって第1のVRAM670に転送される。なお、画面上に複数のウィンドウが開かれている場合には、メインメモリ630内に複数のウィンドウメモリ領域が確保される。そして、それぞれのウィンドウメモリ領域内の映像データがCPU620によって第1のVRAM670に転送される。そして、第1のVRAM670に格納された映像データは、ビデオコントローラ660によって映像信号LSPCとして読み出されて映像処理回路800に供給される。従って、カラーキーデータKYを含む映像信号LSPCが映像処理回路800に供給されることになる。

【0066】カラーキーデータKYに対応する映像信号LSPCの信号レベルは、図2に示す基準電圧 $V_r$ 以上のレベルとなる。この結果、カラーキーデータKYが設定された領域(スーパーインポーズ領域)では、電圧比較回路540から比較される比較信号COMPがLレベルとなり、第2のVRAM310から読み出された映像信号LSDAがビデオスイッチ510によって選択されてカラーCRT701に供給される。一方、カラーキーデータKYが設定されていない領域では、ビデオコントローラ660によって第1のVRAM670から読み出された映像信号LSPCが選択されてカラーCRT701に表示される。要約すれば、カラーキーデータKYが設定されているスーパーインポーズ領域では第2のVRAM310から読み出された映像が表示され、カラーキーデータKYが設定されていない領域では第1のVRAM670から読み出された映像が表示される。

【0067】図9は、第1実施例における映像の位置とサイズを示す説明図である。図9(A)は、動画のサイズSX[ドット]、SY[ライン]を示している。図9(B)は、第2のVRAM310内における静止画領域SIAと動画領域MIAを示している。静止画領域SIAと動画領域MIAとを含む領域のサイズは、SXL[画素]、SLY[ライン]である。図9(C)は、ウ

14

ィンドウメモリ領域632内のカラーキーデータ領域(スーパーインポーズ領域)を示している。ウィンドウメモリ領域632の開始アドレス(オフセットアドレス)を(X0, Y0)とし、静止画のカラーキーデータ領域の開始アドレス(左上点のアドレス)を(SX0, SY0)とすると、その差分アドレス(SX0-X0, SY0-Y0)は(DH, DY)である。図9(D)は、カラーCRT701における画面表示を示している。ウィンドウW内における動画領域MIAのサイズはMH[画素]、MV[ライン]であり、静止画領域SIAと動画領域MIAとを含む領域のサイズはMHL[画素]、MVL[ライン]である。

【0068】図9(A)の動画を基準とした図9(D)の動画の水平表示倍率KHと垂直表示倍率KVは、次式で与えられる。

$$KH = MH / SX \quad \dots (1a)$$

$$KV = MV / SY \quad \dots (1b)$$

【0069】また、ウィンドウW内の表示開始位置のアドレス(SX0, SY0)は次式で与えられる。

$$SX0 = X0 + DH \quad \dots (2a)$$

$$SY0 = Y0 + DV \quad \dots (2b)$$

【0070】カラーCRT701の画面上における静止画領域SIAと動画領域MIAを含む領域の表示サイズMHL、MVLは次式で与えられる。

$$MHL = SXL \times KH \quad \dots (3a)$$

$$MVL = SYL \times KV \quad \dots (3b)$$

【0071】図6において説明したように、映像の水平表示倍率KHは、水平読出ドットクロック発生器425(図3)内のPLL回路の分周値N425の値を調整することによって調整できる。また、映像の垂直倍率KVは、垂直読出ラインクロック発生器430内のPLL回路の分周値N430の値を調整することによって調整できる。具体的には、これらの分周値N425、N430の値は、次式で与えられる。

$$N425 = NH0 / KH \quad \dots (4a)$$

$$N430 = NV0 / KV \quad \dots (4b)$$

ここで、NH0は水平表示倍率KHが1となる時の分周値であり、NV0は垂直表示倍率KVが1となる時の分周値である。

【0072】このように、この実施例では、PLL回路の分周値N425、N430を調整することによって、ウィンドウW内の静止画と動画とを同時に同じ倍率でスケールリングすることができる。なお、水平表示倍率KHと垂直表示倍率KVとは、それぞれ異なる値に設定することが可能である。

【0073】なお、表示倍率KH、KVを変更する際には、CPU620がウィンドウメモリ領域632内のカラーキーデータ領域をこれらの表示倍率KH、KVに応じてスケールリングする。ウィンドウメモリ領域632のデータ量はVRAM内のデータ量に比べてかなり少ないので、CPU620によってカラーキーデータ領域のス



(9)

15

ケーリングを高速に行なうことが可能である。

【0074】D. 第2実施例における映像処理の内容：図10は、本発明の第2実施例の処理内容を示す説明図であり、図11はその処理手順を示すフローチャートである。なお、図11の処理も、メインメモリ630に格納されたアプリケーションプログラムをCPU620が実行することによって行なわれる。

【0075】第2実施例では、ネットワークに接続されたコンピュータシステム間におけるテレビ電話システムを実現している。コンピュータシステムとしては図1に示すものを使用することができる。

【0076】図11のステップS11では、CPU620が通話相手を選択するための静止画をハードディスク装置654から読み出して第2のVRAM310内の静止画領域に書き込む。この結果、図10(A)に示すように、ウィンドウの左半分に通話相手を選択するための9つの静止画が配列されて表示される。

【0077】図11のステップS12では、ユーザ自身の動画をウィンドウの右半分の動画領域に表示する。なお、第2実施例では、ユーザ自身の動画を表示するためのビデオカメラ（図示せず）が映像入力端子103（図2）に接続されている。

【0078】ステップS13においてユーザが静止画から通話相手を一人選択すると、ステップS14において、CPU620がネットワークインタフェース656を介して選択された通話相手を呼出す。相手側との接続が完了する（ステップS15）と、図10(B)に示すように、通話相手のコンピュータシステムから送信されてきた通話相手の映像がウィンドウ内の静止画領域に表示される（ステップS16）。なお、通話相手の映像は、ネットワークインタフェース656を介してCPU620に供給され、CPU620によって第2のVRAM310内の静止画領域に転送される。通話相手の映像は、ネットワークインタフェース656を介して間歇的に供給されるので、半連続的な静止画（半動画）としてカラーCRT701上に表示される。なお、ユーザ自身の映像も、ネットワークインタフェース656を介して通話相手のコンピュータシステムに間歇的に転送されている。

【0079】こうして、通話中（ステップS17）には、通話相手の半連続的な静止画がウィンドウ内の静止画領域に表示されるとともに、ユーザ自身の動画も動画領域に表示されている。通話が終了すると、ステップS18において回線が切断されて（ステップS18）図10(A)の状態に復帰する。

【0080】このように、第2実施例では、コンピュータシステムを利用したテレビ電話を容易に実現することができる。この際、ウィンドウ内には通話相手の半連続的な静止画のみでなく、ユーザ自身の動画も同時に表示することができる。また、第1実施例と同様に、図9に

16

示すようにウィンドウ内の静止画と動画とを同時に同じ倍率でスケリングすることも可能である。

【0081】なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0082】(1) 上記実施例では、第1のVRAM670内に格納されたカラーキーデータKYに従って、第2のVRAM310から読み出された映像信号LSMEMを、第1のVRAM670から読み出された映像信号LSPCに合成するようにしていた。しかし、第2のVRAM310から読み出された映像信号LSPCを他の映像信号と合成せずにカラーCRT701に与えるようにすることも可能である。この場合には、第1のVRAM670を省略することも可能である。また、VRAM310が、カラーCRT701における表示領域と1対1に対応するメモリ空間を有することになり、VRAMがフレームメモリとして使用されることになる。

【図面の簡単な説明】

【図1】この発明の一実施例としてのコンピュータシステムの構成を示すブロック図。

【図2】映像処理回路800の内部構成を示すブロック図。

【図3】スーパーインポーズ制御回路420とその周辺回路の詳細なブロック回路図。

【図4】スーパーインポーズ制御回路420における水平同期信号HSPC及び垂直同期信号VSPCの入出力回路を示す説明図。

【図5】PLL回路63の構成を示すブロック図。

【図6】スーパーインポーズ制御回路420内の各回路の設定値の機能を示す説明図。

【図7】本発明の第1実施例における処理内容を示す説明図。

【図8】本発明の第1実施例における処理手順を示すフローチャート。

【図9】第1実施例における映像の位置とサイズを示す説明図。

【図10】第2実施例における処理内容を示す説明図。

【図11】本発明の第2実施例における処理手順を示すフローチャート。

【図12】表示デバイスの1つのウィンドウ内に静止画と動画が同時に表示された状態を示す説明図。

【符号の説明】

61, 62…バッファ

62, 61…バッファ

63…PLL回路

71…位相比較器

72…ローパスフィルタ

73…電圧制御発振器(VCO)

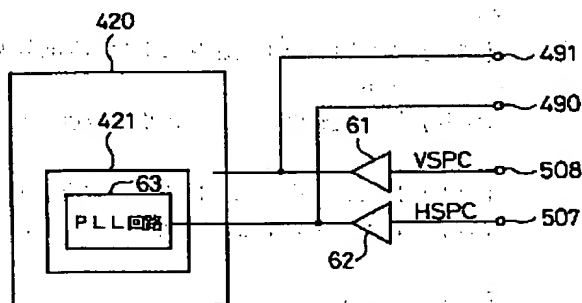
74…N分周器

(10)

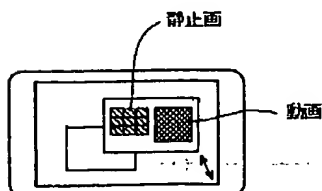
17

- 1 0 1…音声入力端子
- 1 0 2…音声出力端子
- 1 0 3…映像入力端子
- 1 1 0…音声信号選択回路
- 1 2 0…音量制御回路
- 1 3 0…映像信号選択回路
- 1 4 0…映像信号デコーダ
- 2 1 0…AD変換器
- 2 2 0…デジタル制御回路
- 3 1 0…ビデオRAM (第1の映像メモリ)
- 3 2 0…映像データ選択回路
- 3 3 0…映像メモリ制御信号選択回路
- 3 4 0…書き込み制御回路
- 3 5 0…読み出し制御回路
- 3 6 0…FIFOメモリ
- 3 7 0…FIFO読み出し制御回路
- 4 1 0…DA変換器
- 4 2 0…スーパーインポーズ制御回路
- 4 2 1…水平基準読出ドットクロック発生器
- 4 2 2…水平読出開始カウンタ
- 4 2 4…水平読出回数カウンタ
- 4 2 5…水平読出ドットクロック発生器
- 4 2 6…垂直読出オフセットカウンタ
- 4 2 7…垂直ブラッキング数カウンタ
- 4 2 8…垂直読出開始カウンタ
- 4 2 9…垂直読出回数カウンタ
- 4 3 0…垂直読出ラインクロック発生器
- 4 3 1…AND回路
- 4 3 2…OR回路

【図4】



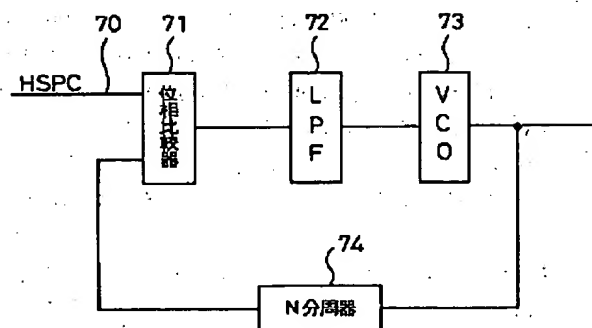
【図12】



18

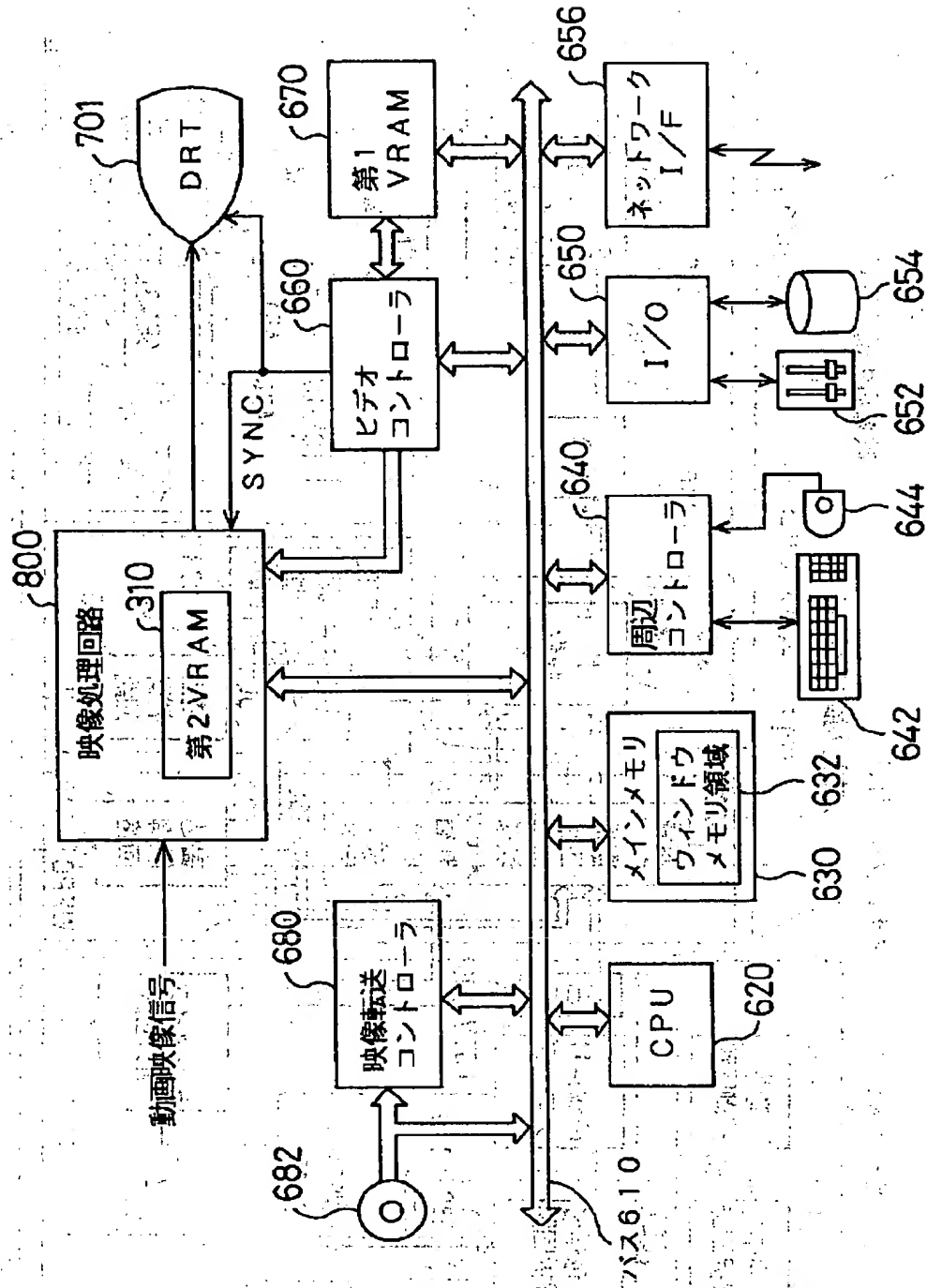
- 4 3 3…NOR回路
- 4 3 4…トライステート回路
- 4 3 5…トライステート回路
- 4 5 1…AND回路
- 4 9 0; 4 9 1…同期信号端子
- 5 0 6…色信号入力端子
- 5 0 7; 5 0 8…同期端子
- 5 1 0…ビデオスイッチ
- 5 4 0…電圧比較回路
- 10 6 1 0…バス
- 6 2 0…CPU (プロセッサ)
- 6 3 0…メインメモリ
- 6 3 2…ウィンドウメモリ領域
- 6 4 0…周辺コントローラ
- 6 4 2…キーボード
- 6 4 4…マウス
- 6 5 0…複合I/Oポート
- 6 5 2…フロッピディスク装置
- 6 5 4…ハードディスク装置
- 20 6 5 6…ネットワークインタフェース
- 6 6 0…ビデオコントローラ
- 6 7 0…ビデオRAM (第1の映像メモリ)
- 6 8 0…映像転送コントローラ
- 6 8 2…CD-ROM装置
- 7 0 1…カラーCRT
- 7 1 0…テレビチューナ
- 7 1 1…テレビアンテナ
- 8 0 0…映像処理回路 (映像処理部)

【図5】



(11).

【図1】

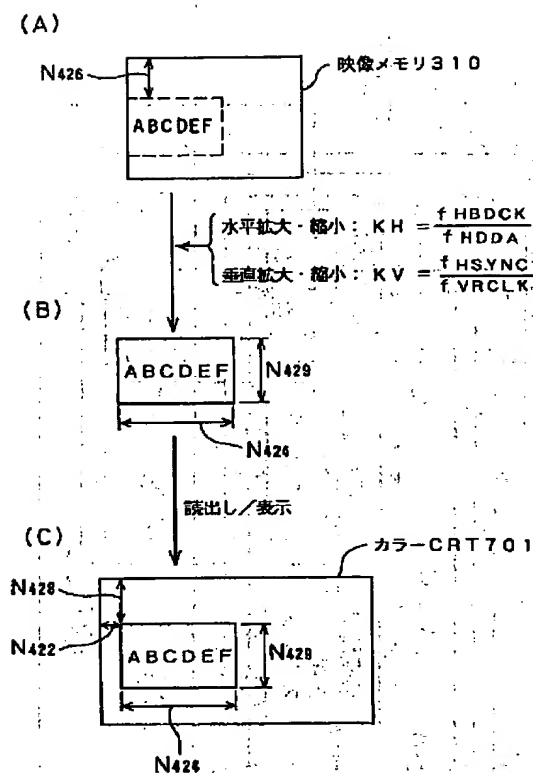


[illegible]

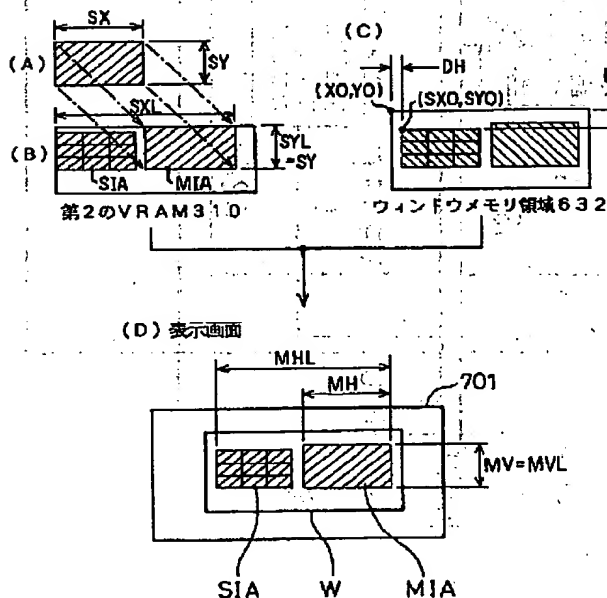


(14)

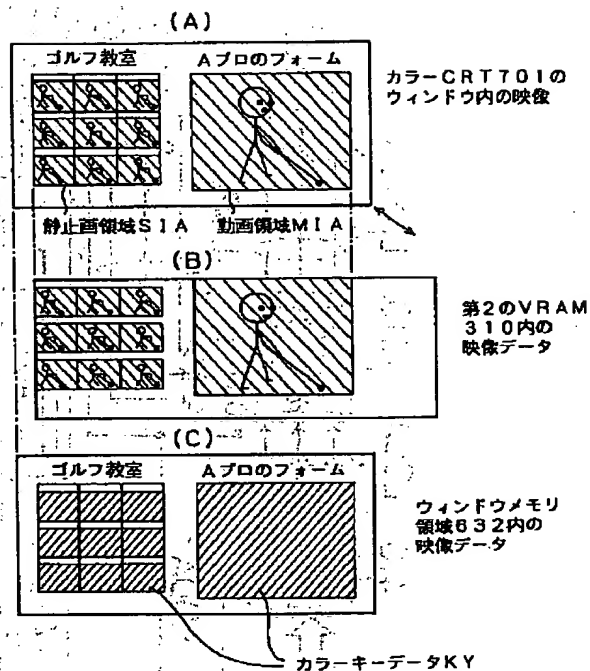
【図6】



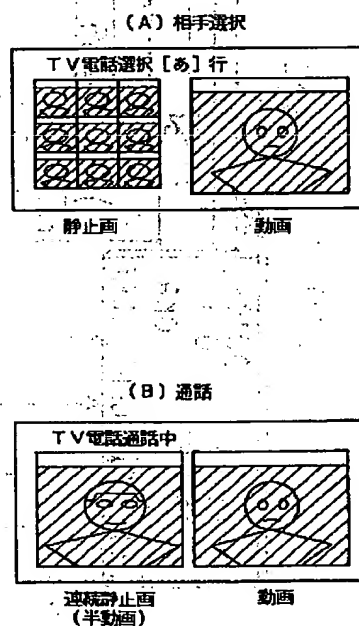
【図9】



【図7】



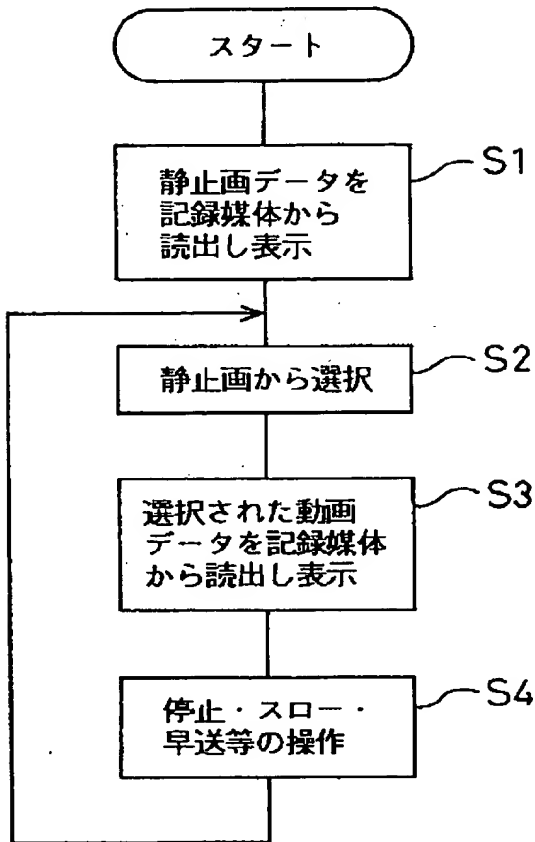
【図10】



(15)

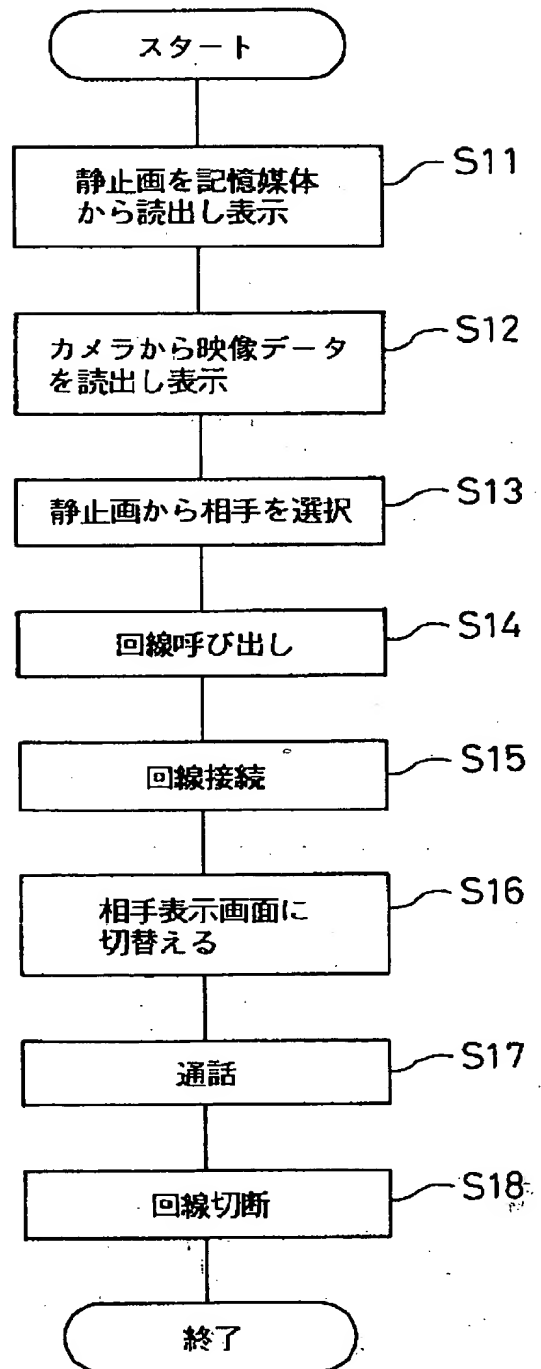
【図8】

第1実施例の処理手順



【図11】

第2実施例の処理手順





(16)

フロントページの続き

(51)Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/36	5 2 0	9377-5H	G 0 9 G 5/36	5 2 0 E
H 0 4 N 5/262			H 0 4 N 5/262	

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第2区分  
【発行日】平成14年10月23日(2002.10.23)

【公開番号】特開平9-34426  
【公開日】平成9年2月7日(1997.2.7)  
【年通号数】公開特許公報9-345  
【出願番号】特願平7-207670  
【国際特許分類第7版】

G09G 5/00, 555

5/14

5/36 510

5/377

5/373

H04N 5/262

【FI】

G09G 5/00 555 P

555 K

5/14 E

5/36 510 M

520 L

520 E

H04N 5/262

【手続補正書】

【提出日】平成14年7月18日(2002.7.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】映像表示方法および装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】表示デバイスに動画と静止画とを同時に表示する方法であって、

(a) 静止画映像信号を映像メモリ内の静止画領域に書き込む工程と、

(b) 前記映像メモリ内の動画領域に動画映像信号を書き込むとともに、前記映像メモリに書き込まれている映像信号を読み出しつつ映像のスケーリングを行ない、スケーリング後の映像信号を表示デバイスに供給することによって、スケーリングされた動画と静止画を表示デバイスに表示する工程と、を備える映像表示方法。

【請求項2】表示デバイスに動画と静止画とを同時に表示する方法であって、

(a) 表示デバイスの表示画面に対応したメモリ空間を有する第1の映像メモリ内に、スーパーインポーズ領域を示すキーデータを書込む工程と、

(b) 第2の映像メモリ内の静止画領域に静止画映像信号を書込む工程と、

(c) 前記第2の映像メモリ内の動画領域に動画映像信号を連続的に書き込みつつ、前記第2の映像メモリに書き込まれている第1の映像信号を読み出す工程と、

(d) 前記第1の映像信号で表わされる映像のスケーリングを行なうことによって、第2の映像信号を求める工程と、

(e) 前記第1の映像メモリから読み出された第3の映像信号で表わされる映像の前記スーパーインポーズ領域内に前記第2の映像信号を合成することによって、第4の映像信号を求める工程と、

(f) 前記第4の映像信号を表示デバイスに供給することによって、スケーリングされた動画と静止画を表示デバイスに表示する工程と、を備える映像表示方法。

【請求項3】表示デバイスと、

映像メモリと、

静止画映像信号を前記映像メモリ内の静止画領域に書き込む手段と、

(2)

1  
前記映像メモリ内の動画領域に動画映像信号を書込むとともに、前記映像メモリに書込まれている映像信号を読み出しつつ映像のスケーリングを行ない、スケーリング後の映像信号を表示デバイスに供給する手段と、を備えた装置であって、  
前記表示デバイスは前記スケーリング後の映像信号に応じてスケーリングされた動画と静止画を表示する、装置。

【請求項4】 表示デバイスと、

前記表示デバイスの表示画面に対応したメモリ空間を有する第1の映像メモリと、

第2の映像メモリと、

前記第1の映像メモリ内に、スーパーインポーズ領域を示すキーデータを書込む手段と、

前記第2の映像メモリ内の静止画領域に静止画映像信号を書込む手段と、

前記第2の映像メモリ内の動画領域に動画映像信号を連続的に書込みつつ、前記第2の映像メモリに書き込まれている第1の映像信号を読み出す手段と、

前記第1の映像信号で表わされる映像のスケーリングを行なうことによって、第2の映像信号を求める手段と、

前記第1の映像メモリから読み出された第3の映像信号で表わされる映像の前記スーパーインポーズ領域内に前記第2の映像信号を合成することによって、第4の映像

信号を求める手段と、

前記第4の映像信号を表示デバイスに供給する手段と、を備えた装置であって、

前記表示デバイスは前記第4の信号に応じてスケーリングされた動画と静止画を表示する、装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】この発明は、表示デバイスに動画と静止画とを同時に表示する方法および装置に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

2

【補正方法】変更

【補正内容】

【0006】

【課題を解決するための手段およびその作用・効果】上述の課題の少なくとも一部を解決するため、本発明による第1の方法は、表示デバイスに動画と静止画とを同時に表示する方法であって、

(a) 静止画映像信号を映像メモリ内の静止画領域に書込む工程と、

(b) 前記映像メモリ内の動画領域に動画映像信号を書込むとともに、前記映像メモリに書込まれている映像信号を読み出しつつ映像のスケーリングを行ない、スケーリング後の映像信号を表示デバイスに供給することによって、スケーリングされた動画と静止画を表示デバイスに表示する工程と、を備える。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】本発明による第2の方法は、表示デバイスに動画と静止画とを同時に表示する方法であって、

(a) 表示デバイスの表示画面に対応したメモリ空間を有する第1の映像メモリ内に、スーパーインポーズ領域を示すキーデータを書込む工程と、

(b) 第2の映像メモリ内の静止画領域に静止画映像信号を書込む工程と、

(c) 前記第2の映像メモリ内の動画領域に動画映像信号を連続的に書込みつつ、前記第2の映像メモリに書き込まれている第1の映像信号を読み出す工程と、

(d) 前記第1の映像信号で表わされる映像のスケーリングを行なうことによって、第2の映像信号を求める工程と、

(e) 前記第1の映像メモリから読み出された第3の映像信号で表わされる映像の前記スーパーインポーズ領域内に前記第2の映像信号を合成することによって、第4の映像信号を求める工程と、

(f) 前記第4の映像信号を表示デバイスに供給することによって、スケーリングされた動画と静止画を表示デバイスに表示する工程と、を備える。

40

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-034426

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

G09G 5/00

G09G 5/14

G09G 5/36

G09G 5/36

H04N 5/262

(21)Application number : 07-207670

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 21.07.1995

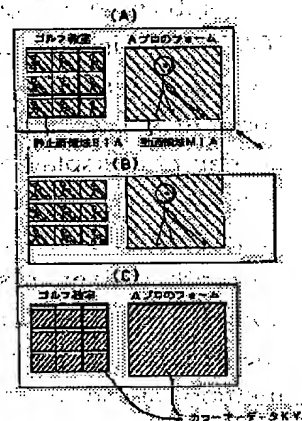
(72)Inventor : TAKEUCHI KESATOSHI

## (54) IMAGE DISPLAY METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To display a stationary image and a moving image simultaneously while scaling.

**SOLUTION:** A still image signal is written in a still image area SIA in an image memory 310. A moving image signal is written in a moving image area MIA in the image memory 310, the image is scaled while the image signal written in the image memory 310 is read, and the image signal after the scaling is supplied to a display device. As a result, the dynamic image and the still image scaled simultaneously are displayed on the display device.



## LEGAL STATUS

[Date of request for examination]

18.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3562049

[Date of registration]

11.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The process which is the approach of displaying an animation and a still picture on the display device of a computer system at coincidence, and writes (a) still picture video signal in the still picture field in image memory, (b) While writing an animation video signal in the animation field in said image memory The graphic display approach equipped with the process which displays the animation by which the scaling was carried out by performing the scaling of an image, reading the video signal currently written in said image memory, and supplying the video signal after a scaling to a display device, and a still picture on a display device.

[Claim 2] It is the approach of displaying an animation and a still picture on the display device of a computer system at coincidence. (a) The process which writes in the key data in which a superimposition field is shown in the 1st image memory which has the room corresponding to the display screen of a display device, (b) The process which writes a still picture video signal in the still picture field in the 2nd image memory, (c) Writing an animation video signal in the animation field in said 2nd image memory continuously By performing the scaling of the process which reads the 1st video signal currently written in said 2nd image memory, and the image expressed with the 1st video signal of (d) above By compounding said 2nd video signal in said superimposition field of the image expressed with the process which searches for the 2nd video signal, and the 3rd video signal read from the image memory of the (e) above 1st The graphic display approach equipped with the process which searches for the 4th video signal, and the process which displays the animation by which the scaling was carried out by supplying the 4th video signal of (f) above to a display device, and a still picture on a display device.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the approach of displaying an animation and a still picture on the display device of a computer system at coincidence.

[0002]

[Description of the Prior Art] Drawing 12 is the explanatory view showing the condition that the still picture and the animation were displayed by coincidence in one window of a display device. In order to realize such a display, the still picture and the animation are conventionally memorized to another video memory, and the overlay technique compounded in the case of a display is used.

[0003] By the way, it is possible to change the size of each window in multi-window systems, such as MS-WINDOWS (trademark of Microsoft Corp.). In case the size of a window is changed, the approach of making large the range of the image displayed in a window, without changing the scale factor of an image and the display rectangle of an image have the approach of carrying out the scaling of the image, without changing.

[0004]

[Problem(s) to be Solved by the Invention] However, it was difficult to express as the conventional overlay technique on the occasion of modification of the size of a window, carrying out the scaling of a still picture and the animation to coincidence.

[0005] This invention is made in order to solve the above-mentioned technical problem in the conventional technique, and it aims at what is displayed carrying out the scaling of a still picture and the animation to coincidence.

[0006]

[The means for solving a technical problem, and its operation and effectiveness] In order to solve a part of above-mentioned technical problem [ at least ], the 1st invention The process which is the approach of displaying an animation and a still picture on the display device of a computer system at coincidence, and writes (a) still picture video signal in the still picture field in image memory, (b) While writing an animation video signal in the animation field in said image memory It has the process which displays the animation by which the scaling was carried out, and a still picture on a display device by performing the scaling of an image, reading the video signal currently written in said image memory, and supplying the video signal after a scaling to a display device.

[0007] A still picture and an animation are written in in image memory, and since the scaling of an image is performed reading the video signal showing the image containing these, the scaling of a still picture and the animation is carried out to coincidence. And since the video signal after a scaling is supplied to a display device, the still picture and animation by which the scaling was carried out to coincidence can be displayed on a display device.

[0008] The 2nd invention is the approach of displaying an animation and a still picture on the display device of a computer system at coincidence. (a) The process which writes in the key data in which a superimposition field is shown in the 1st image memory which has the room corresponding to the display screen of a display device, (b) The process which writes a still picture video signal in the still picture field in the 2nd image memory, (c) Writing an animation video signal in the animation field in said 2nd image memory continuously By performing the scaling of the process which reads the 1st video signal currently written in said 2nd image memory, and the image expressed with the 1st video signal of (d) above By compounding said 2nd video signal in said superimposition field of the image expressed with the process which searches for the 2nd video signal, and the 3rd video signal read from the image memory of the (e) above 1st It has the process which searches for the 4th video signal, and the process which displays the animation by which the scaling was carried out by supplying the 4th video signal of (f) above to a display device, and a still picture on a display device.

[0009] A still picture and an animation are written in the 2nd image memory, and since the scaling of an image is performed reading the 1st video signal showing the image containing these, the 2nd video signal with which a still picture and an animation express the image by which the scaling was carried out to coincidence is acquired. This 2nd video signal is compounded in the superimposition field of the 3rd video signal read from the 1st image memory. Therefore, it can insert in in the superimposition field of a display device, carrying out the scaling of a still picture and the animation to coincidence.

[0010]

[Other modes of invention] This invention contains other following modes. the 1st mode — the 2nd invention — setting — further — (g) — while changing the scale factor of the scaling in said process (d), it has the process which changes said key data remembered to carry out the scaling of said superimposition field for said scale factor by said 1st image memory.

[0011] Since the scaling of the superimposition field will be carried out for the same scale factor even if it changes the scale factor of the scaling of a still picture and an animation if it carries out like this, a part for the display of a still picture and an animation is kept the same as scaling before.

[0012]

[Embodiment of the Invention]

A. Explain the gestalt of whole equipment configuration:, next operation of this invention based on an example. Drawing 1 is the block diagram showing the configuration of the computer system which applies one example of this invention. As for this computer system, CPU620, main memory 630, the circumference controller 640, compound I / O port 650, a network interface 656, a video controller 660, 1st Video RAM (VRAM) 670, the image transfer controller 680, and the image processing circuit 800 are connected to the bus 610. The image processing circuit 800 has 2nd Video RAM 310 in the interior. In addition, 1st VRAM670 has the viewing area of a color CRT 701, and the memory area corresponding to 1 to 1.

[0013] The keyboard 642 and the mouse 644 are connected to the circumference controller 640. Moreover, the floppy disk drive unit 652 and the hard disk drive unit 654 are connected to compound I/O Port 650.

[0014] The color CRT 701 (or color liquid crystal display) as a display device is connected to the video controller 660. A video controller 660 has the function which reads a video signal from 1st VRAM670, and is supplied to the image processing circuit 800 while writing the image data of a still picture in 1st VRAM670. Further, a video controller 660 generates a synchronizing signal SYNC (Vertical Synchronizing signal VSPC and Horizontal Synchronizing signal HSPC), and has the function supplied to a color CRT 701 and the image processing circuit 800.

[0015] The CD-ROM equipment 682 as an animation image data feeder is connected to the image transfer controller 680. The image transfer controller 680 has the function as a processor which transmits the animation image data given from CD-ROM equipment 682 to 2nd VRAM310 through a bus 610.

[0016] The image processing circuit 800 has the function which supplies the video signal showing the image after composition to a color CRT 701 while compounding an animation video signal and a still picture video signal. Moreover, the image processing circuit 800 has the function which carries out zooming of a still picture and the animation to coincidence by carrying out the scaling of the video signal after composition.

[0017] B. The internal configuration of the image processing circuit 800 : drawing 2 is the block diagram showing the internal configuration of the image processing circuit 800. In addition, the configuration of this image processing circuit 800 is the same as that of what is indicated in Fig. 4 of JP,2-298176,A indicated by these people.

[0018] This image processing circuit 800 has the voice section ACU which deals with a sound signal, the analog section ANU which deals with analog video signals, such as a TV signal, the image memory section IMU, the write control section WCU which controls the writing of the image data to the image memory section IMU, the read-out control section RCU which reads outside the image data memorized by the image memory section IMU, and the image reproduction section IRU which reproduces an image.

[0019] The voice section ACU has the voice input terminal 101, the sound signal selection circuitry 110, the sound-volume control circuit 120, and the voice output terminal 102. The sound signal ASEX given from animation signal feeders, such as a video player, is inputted into the voice input terminal 101. The sound signal selection circuitry 110 chooses and outputs one side of this sound signal ASEX and the



sound signal ASTV inputted from the television tuner 710 of the analog section ANU. In addition, the channel selection in the television tuner 710 is directed from CPU620. Sound volume is adjusted by the sound-volume control circuit 120, and the selected sound signal is outputted from the voice output terminal 102. The sound signal ASMON outputted from the voice output terminal 102 is given to the voice input terminal or loudspeaker of a color CRT 701.

[0020] The analog section ANU has the television tuner 710, TV antenna 711, the image input terminal 103, the video-signal selection circuitry 130, the video-signal decoder 140, A-D converter 210, and the digitization control circuit 220. The video signal VSEX given from the animation signal feeder is inputted into the image input terminal 103. The video-signal selection circuitry 130 chooses and outputs one side with the video signal VSTV given from the television tuner 710 by which channel selection directions were carried out with these video signals CPU [ VSEX and ] 620. The selected video signal is divided into a video signal LSTV and a synchronizing signal SSTV by the video-signal decoder 140. This video signal LSTV is a chrominance signal of RGB in three primary colors. A-D converter 210 changes into a digital signal the video signal LSTV which is an analog signal, and supplies it to the write control section WCU. The digitization control circuit 220 is controlling A-D converter 210 based on a synchronizing signal SSTV, and is controlling VRAM310 via the write control section WCU.

[0021] The write control section WCU has the image data selection circuitry 320, the image memory control signal selection circuitry 330, and the write control circuit 340. The image data selection circuitry 320 chooses and outputs one side of the output of A-D converter 210 which considers a video signal LSTV as an input, and the video signal LSWPC read from external devices, such as external storage, by CPU620 according to the write-in selection signal CC outputted from the write control circuit 340. The image memory control signal selection circuitry 330 chooses and outputs one side of the image memory control signal WETV which the digitization control circuit 220 outputs, and the image memory control signal WEPC which the write control circuit 340 outputs according to the write-in selection signal CC. The write control circuit 340 controls the actuation which writes the video signal LSWPC supplied from CPU620 or the image transfer controller 680 in the image memory section IMU.

[0022] The read-out control section RCU has the read-out control circuit 350, FIFO memory (FIFO memory) 360, and the FIFO read-out control circuit 370. The video signal LSFIF read from the image memory section IMU by the FIFO read-out control circuit 370 is memorized by FIFO memory 360. The video signal LSFIF memorized by FIFO memory 360 is read outside by the read-out control circuit 350. The read-out control section RCU is used in case the image data memorized by the image memory section IMU are outputted to an external device according to the instruction of CPU620.

[0023] The image memory section IMU has the 3 port VRAM 310 which has one write-in port and two read-out ports. As 3 port VRAM 310, CXK1206 by Sony Corp. or MB81C1501 by FUJITSU, LTD. can be used. About the configuration and function of the 3 port VRAM 310, since it is indicated by JP,2-298176,A indicated by these people, explanation is omitted here. In addition, especially this VRAM310 should just be memory which does not restrict to three ports and memorizes image data.

[0024] The image reproduction section IRU compounds the video signal LSMEM outputted from the video signals VRAM [ LSPC and ] 310 outputted from the video controller 660, generates the synthetic video signal LSMON, and has the function which outputs this to a color CRT 701.

[0025] Each signal in the image reproduction section IRU expresses the following contents, respectively. LSPC: The video signal outputted from the video controller 660.

The video signal read from LSMEM:VRAM310.

LSDA: The analog-ized video signal.

LSMON: The synthetic video signal showing the image displayed on a color monitor 701.

[0026] CNT: The change-over signal which switches the video switch 510. When the change-over signal CNT is H level, a video signal LSDA is chosen, and when it is L level, a video signal LSPC is chosen.

[0027] SENBL: The 1st enabling signal which specifies the propriety of a superimposition. The 1st enabling signal SENBL will switch to H level, if an operator specifies the mode which superimposes using

a keyboard 642 or a mouse 644, and if the mode which does not superimpose is specified, it will switch to L level.

**SSENBL:** The 2nd enabling signal which shows the timing equivalent to the superimposition field on a screen. The 2nd enabling signal SSENBL serves as H level in a Spa imposing field, and serves as L level out of a superimposition field. In addition, a superimposition field is specified by the operator on the screen of a color monitor 701.

**NENBL:** The 3rd enabling signal which shows the propriety of a multiplex superimposition. It is shown whether the 3rd enabling signal NENBL superimposes a video signal LSPC further to a part of video signal LSDA superimposed to the video signal LSPC.

[0028] **COMP:** The signal which shows the field of a multiplex super superimposition. The level of this comparison signal COMP is determined by comparing a video signal LSPC with the predetermined reference voltage Vr, and turns into H level in the field which superimposes a video signal LSPC to a part of video signal LSDA. The comparison signal COMP is confirmed when the enabling signal CENBL described below is H level, and it turns into the 3rd above-mentioned enabling signal NENBL.

**CENBL:** The enabling signal which specifies the propriety of a multiplex superimposition. The level of an enabling signal CENBL is switched by the operator.

[0029] DA converter 410 in the image reproduction section IRU changes into an analog signal the video signal LSMEM read from VRAM310, and supplies it to the video switch 510. The video switch 510 chooses one side of the video signal LSPC outputted from the video controller 660, and the video signal LSDA outputted from DA converter 410, and supplies it to a color CRT 701 as a synthetic video signal LSMON. The selection signal CNT of the video switch 510 is an output signal of AND circuit 451.

[0030] The superimposition control circuit 420 has the function which carries out the scaling of the image expressed with the video signal while reading the video signal memorized by VRAM310 in the image processing circuit 800.

[0031] B. — the detail configuration of the superimposition control circuit 420, and : of operation — drawing 3 is the block circuit diagram of the superimposition control circuit 420 and its circumference circuit. Moreover, as for the 3 port VRAM 310 shown here, a read-out port is used among three input/output port: The timing chart concerning the above-mentioned read-out port is indicated by 27th page — the 31st page of data sheet number 71215-ST of CXK1206 by Sony Corp. The port to be used is the lead port 1 of the 2nd page of the above-mentioned data sheet.

[0032] the 3 port VRAM 310 — memory drive clock signal HDCK. — the port 1 shift signal terminal CKR1 — a memory perpendicular / level reset-signal MRST — the port 1 perpendicular clear terminal VCLR1 — the perpendicular offset signal VROFT or perpendicular read-out Rhine clock signal VRLCK is given to the port increment terminal INC1 of one line, and port 1 output enabling [ RE1 (negative logic) ] is given to the port 1 level clear terminal HCLR1 for horizontal reset-signal HRST at the port 1 output enabling terminal RE1 (negative logic), respectively. Moreover, the analog RGB signal LSMEM (one data in R, G, and B respectively) is read from the port 1 data output DO10-DO13.

[0033] To every R, G, and B, the analog RGB signal LSMEM by which read-out control is carried out is 4 bits, and is outputted by the port 1 shift signal CKR1 corresponding to each above-mentioned terminal, port 1 perpendicular clear VCLR1, the port 1 level clear signal HCLR1, the port increment signal INC1 of one line, and port 1 output enabling [ RE1 (negative logic). ] from the port 1 data output DO10-DO13, respectively.

[0034] The video switch 510 outputs the input of a generator terminal or a battery terminal from the common terminal C with the change-over signal VSEL inputted into the change-over signal input terminal CNT. When the change-over signal VSEL is high level "H", the input of a battery terminal is specifically outputted, and the input of a generator terminal is outputted from C terminal, respectively at the time of a low level "L." CPU620 controls each part through the bus 610 in a personal computer.

[0035] 421 of drawing 3 shows the level criteria read-out dot clock generator which outputs the level criteria read-out dot clock signal HBDCK, 422 shows the level read-out initiation counter which outputs

the horizontal read-out start signal HRSA and horizontal read-out direction reset-signal HRST, 423 shows the level 64 clock counter which outputs a level criteria start signal HRSB, 424 shows the count counter of level read-out which outputs the count signal HRT of horizontal read-out, and 425 shows the level read-out dot clock generator which outputs a horizontal read-out dot clock signal HDDA. Moreover, the perpendicular read-out offset counter 426 is the number of counts which synchronized with the level criteria read-out dot clock generator 421, and outputs the perpendicular read-out offset signal VROFT which determines the offset line of read-out Rhine of the perpendicular direction of the 3 port VRAM 310. The number counter 427 of perpendicular blankings outputs the perpendicular blanking terminate signal VBE, the perpendicular read-out initiation counter 428 outputs the perpendicular read-out start signal VRS, the count counter 429 of perpendicular read-out outputs the count signal VRT of perpendicular read-out, and the perpendicular read-out Rhine clock generation machine 430 outputs perpendicular read-out Rhine clock signal VRLCK. AND circuit 431 outputs the change-over signal VSEL which makes two video signals LSPC and LSDA superimpose, OR circuit 432 outputs the perpendicular read-out offset signal VROFT and perpendicular read-out Rhine clock signal VRLCK as a port increment signal INC1 of one line, and NOR circuit 433 outputs lead enabling RE1 signal. Moreover, signs 434 and 435 show a tri-state circuit, and 436 shows an inverter circuit.

[0036] The chrominance signal of the video signal LSPC which comes from the chrominance-signal input terminal 506 is given to the generator terminal of the video switch 510. Horizontal Synchronizing signal HSPC which comes from the synchronous terminal 507 which constitutes the Horizontal Synchronizing signal of an input terminal 506 The level criteria read-out dot clock generator 421, the horizontal read-out initiation counter 422, the horizontal 64 clock counter 423, the count counter 424 of horizontal read-out, the number counter 427 of perpendicular blankings, the perpendicular read-out initiation counter 428, the count counter 429 of perpendicular read-out, While the perpendicular read-out Rhine clock generation machine 430 is given, Vertical Synchronizing signal VSPC The 3 port VRAM 310, the perpendicular read-out offset counter 426, the number counter 427 of perpendicular blankings, the perpendicular read-out initiation counter 428, the count counter 429 of perpendicular read-out, and the perpendicular read-out Rhine clock generation machine 430 are given. Moreover, synchronizing signals HSPC and VSPC are sent out also to the synchronizing signal terminals 490 and 491, respectively.

[0037] Here, I/O of Horizontal Synchronizing signal HSPC and Vertical Synchronizing signal VSPC is explained using drawing 4. Horizontal Synchronizing signal HSPC and Vertical Synchronizing signal VSPC are given in the necessary circuit shown in drawing 3 in the synchronizing signal terminal 490,491 and the superimposition control circuit 420 through buffers 62 and 61. These buffers 61 and 62 are contributed to exact transmission of the above-mentioned synchronizing signal, even when it has functions, such as IMPI Dines conversion and waveform shaping, and cascade connection of the image processing system is carried out. Moreover, Horizontal Synchronizing signal HSPC is given in the PLL circuit 63 in the level criteria read-out dot clock generator 421, and the level criteria read-out dot clock HBDCK is generated as a signal which specifies the horizontal resolution of the whole water horizontal plane specified by CPU620.

[0038] The PLL circuit 63 is constituted as shown in drawing 5. That is, Horizontal Synchronizing signal HSPC is given from a signal line 70 to a phase comparator 71, and the output of the N counting-down circuit 74 is given to a phase comparator 71, in a phase comparator 71, the phase comparison of these signals is performed and the signal of the pulse width corresponding to phase contrast is outputted. The output of a phase comparator 71 is given and graduated by the low pass filter 72, and is given to a voltage controlled oscillator (VCO) 73. It oscillates on the frequency according to the electrical potential difference given, and VCO73 is given to the N counting-down circuit 74, and dividing is carried out even to the frequency of Horizontal Synchronizing signal HSPC, and it is returned to a phase comparator 71 while it is sent out in each part, this being used as the level criteria read-out dot clock HBDCK. Consequently, the level criteria read-out dot clock HBDCK which synchronized with Horizontal Synchronizing signal HSPC is created.

[0039] As for the horizontal read-out initiation counter 422 in the superimposition control circuit 420 of drawing 3, the level 64 clock counter 423, and the count counter 424 of horizontal read-out, the counted value is reset by Horizontal Synchronizing signal HSPC, respectively. Furthermore, Vertical Synchronizing signal VSPC which comes from the synchronous terminal 508 is sent out to port 1 perpendicular clear VCLR1, NOR circuit 433, the perpendicular read-out offset counter 426, the number counter 427 of perpendicular blankings, the perpendicular read-out initiation counter 428, the count counter 429 of perpendicular read-out, the perpendicular read-out Rhine clock generation machine 430, and the synchronizing signal terminal 491 of the 3 port VRAM 310, respectively. Moreover, as for the perpendicular read-out offset counter 426, the number counter 427 of perpendicular blankings, the perpendicular read-out initiation counter 428, and the count counter 429 of perpendicular read-out, the counted value is reset by Vertical Synchronizing signal VSPC, respectively.

[0040] The level criteria read-out dot clock signal HBDCK generated from the level criteria read-out dot clock generator 421 is sent out to the port 1 shift signal terminal CKR1 of the 3 port VRAM 310 as clock signal HDCK of the 3 port VRAM 310 through the tri-state circuit 435 while it is given to the horizontal read-out initiation counter 422, the horizontal 64 clock counter 423, the count counter 424 of horizontal read-out, and the perpendicular read-out offset counter 426.

[0041] Moreover, the horizontal read-out dot clock generator 425 is N1 of the frequency of Horizontal Synchronizing signal HSPC on the basis of the horizontal read-out reference signal HRSB from the horizontal 64 clock counter 423. It is constituted by the PLL circuit which outputs the signal of a twice as many frequency as this, and the horizontal read-out dot clock signal HDDA is outputted. The horizontal read-out dot clock signal HDDA generated by this horizontal read-out dot clock generator 425 is given as clock signal HDCK of the 3 port VRAM 310 through the tri-state circuit 434 to the port 1 shift signal terminal CKR1 and D-A converter 410 of the 3 port VRAM 310, and is used as the read-out clock signal of digital RGB code LSMEM, and a conversion clock signal of D-A converter 410.

[0042] Drawing 6 is the explanatory view showing the function of the set point of each circuit in the superimposition control circuit 420. As shown in drawing 6, it is the frequency  $f_{HBDCK}$  of the level criteria read-out dot clock signal HBDCK. The ratio ( $f_{HBDCK}/f_{HDDA}$ ) of the frequency  $f_{HDDA}$  of the horizontal read-out dot clock signal HRDCK is equal to the horizontal scale factor KH of the image (drawing 6 (A)) read from VRAM310, and the image (drawing 6 (B)) displayed on a color CRT 701. Therefore, it is possible by adjusting the frequency  $f_{HDDA}$  of the horizontal read-out dot clock signal HDDA to expand horizontally the image displayed on a color CRT 701, or to reduce. If it puts in another way, it will be the dividing value N425 of the PLL circuit in the horizontal read-out dot clock generator 425. By adjusting a value, the scaling of the image can be carried out horizontally.

[0043] The perpendicular read-out Rhine clock generation machine 430 synchronizes with Vertical Synchronizing signal VSPC, and is N2 of the frequency of Vertical Synchronizing signal VSPC. It is constituted by the PLL circuit which outputs the signal of a twice as many frequency as this, and perpendicular read-out Rhine clock signal VRLCK is outputted. Perpendicular read-out Rhine clock signal VRLCK generated by this perpendicular read-out Rhine clock generation machine 430 is given through OR circuit 432 and NOR circuit 433 to port 1 output enabling RE1 terminal (negative logic) while it is given to the port-increment terminal INC1 of one line which advances the Rhine address which is the address of the perpendicular direction of the 3 port VRAM 310 through OR circuit 432.

[0044] As shown in drawing 6, it is the frequency  $f_{Hsync}$  of Horizontal Synchronizing signal HSPC. Frequency  $f_{VRLCK}$  of perpendicular read-out Rhine clock signal VRLCK. A ratio ( $f_{Hsync}/f_{VRLCK}$ ) is equal to the scale factor KV of the perpendicular direction of the image (drawing 6 (A)) read from the 3 port VRAM 310, and the image (drawing 6 (B)) displayed on a color CRT 701. Therefore, frequency  $f_{VRLCK}$  of perpendicular read-out Rhine clock signal VRLCK By adjusting, it is possible to carry out zooming of the image displayed on a color CRT 701 perpendicularly. If it puts in another way, it will be the dividing value N430 of the PLL circuit in the perpendicular read-out Rhine clock generation machine 430. By adjusting a value, the scaling of the image can be carried out perpendicularly.

[0045] The superimposition control circuit 420 has obtained fundamental read-out timing by these level criteria read-out dot clock signal HBDCK, the horizontal read-out dot clock signal HDDA, and perpendicular read-out Rhine clock signal VRLCK.

[0046] The perpendicular read-out offset counter 426 sends out the perpendicular offset signal VROFT which carries out stepping of the Rhine address of the perpendicular direction of the 3 port VRAM 310 to OR circuit 432, synchronizing with the level criteria read-out dot clock signal HBDCK outputted from the level criteria read-out dot clock generator 421, after counted value is reset by Vertical Synchronizing signal VSPC, in order to decide the initiation offset-line location of read-out Rhine of the 3 port VRAM 310.

[0047] As shown in drawing 6 (A), the set point N426 of the perpendicular read-out offset counter 426 shows the starting position of the perpendicular direction of the image part (field enclosed with a drawing destructive line) read from the 3 port VRAM 310.

[0048] The number counter 427 of perpendicular blankings contains the counter (not shown) for making the perpendicular back porch field of a video signal LSPC delete. If this counter counts the number of clocks of Horizontal Synchronizing signal HSPC and a perpendicular back porch field is passed, it will output the perpendicular blanking terminate signal VBE to the perpendicular read-out initiation counter 428.

[0049] In response to the enabling signal (perpendicular blanking terminate signal VBE) sent out from the number counter 427 of perpendicular blankings, the perpendicular read-out initiation counter 428 counts the number of clocks of Horizontal Synchronizing signal HSPC, and outputs the read-out initiation enabling signal (perpendicular read-out start signal) VRS over the perpendicular direction from the 3 port VRAM 310 to the count counter 429 of perpendicular read-out.

[0050] As shown in drawing 6 (C), it is the set point N428 of the perpendicular read-out initiation counter 428. The vertical display starting position at the time of the image read from the 3 port VRAM 310 being displayed on the screen of a color CRT 701 is specified.

[0051] In response to the enabling signal (control signal VRS) sent out from the perpendicular read-out initiation counter 428, the count counter 429 of perpendicular read-out counts the number of clocks of Horizontal Synchronizing signal HSPC, and outputs the signal VRT which shows the read-out period over the perpendicular direction from the 3 port VRAM 310, i.e., the count signal of perpendicular read-out, to AND circuit 431.

[0052] As shown in drawing 6 (B) and (C), it is the set point N429 of the count counter 429 of perpendicular read-out. The number of Rhine of the perpendicular direction of the image displayed on a color CRT 701 is specified.

[0053] Read-out control of the perpendicular direction to the 3 port VRAM 310 is performed by the perpendicular read-out offset counter 426 explained above, the number counter 427 of perpendicular blankings, the perpendicular read-out initiation counter 428, the count counter 429 of perpendicular read-out, and the perpendicular read-out Rhine clock generation machine 430.

[0054] In addition, N426 clocks of the level criteria read-out dot clock signal HBDCK which the perpendicular read-out offset counter 426 counts, N427 clocks of Horizontal Synchronizing signal HSPC which the number counter 427 of perpendicular blankings counts, N428 clocks of Horizontal Synchronizing signal HSPC which the perpendicular read-out initiation counter 428 counts, The value of N counting-down circuit in the PLL circuit in clock several N 429 and perpendicular read-out Rhine clock generation machine 430 of Horizontal Synchronizing signal HSPC which the count counter 429 of perpendicular read-out counts is set as a necessary value by CPU620 in a personal computer, respectively.

[0055] The horizontal read-out initiation counter 422 counts the number of clocks of the level criteria read-out dot clock signal HBDCK sent out from the level criteria read-out dot clock generator 421, and sends out the read-out initiation enabling signal (horizontal read-out start signal HRSA) over the horizontal direction of the 3 port VRAM 310 to the horizontal 64 clock counter 423.

[0056] As shown in drawing 6 (C), it is the set point N422 of the horizontal read-out initiation counter 422. The horizontal display starting position at the time of the image read from the 3 port VRAM 310 being displayed on the screen of a color CRT 701 is specified.

[0057] The horizontal 64 clock counter 423 counts the number of clocks of the level criteria read-out dot clock signal HBDCK outputted from the level criteria read-out dot clock generator 421 in response to the enabling signal (horizontal read-out start signal HRSA) sent out from the horizontal read-out initiation counter 422. And if the counted value becomes 64 clocks which are the properties at the time of read-out of the 3 port VRAM 310, the horizontal read-out reference signal HRSB will be outputted to the horizontal read-out dot clock generator 425, the count counter 424 of horizontal read-out, and AND circuit 431.

[0058] The count counter 424 of horizontal read-out counts the number of clocks of the level criteria read-out dot clock signal HBDCK sent out from the level criteria read-out dot clock generator 421, and sends out the enabling signal (count signal HRT of horizontal read-out) of the read-out period over the horizontal direction of the 3 port VRAM 310 to AND circuit 431.

[0059] As shown in drawing 6 (B) and (C), it is the set point N424 of the count counter 424 of horizontal read-out. The horizontal number of dots of the image displayed on a color CRT 701 is specified.

[0060] In this way, horizontal read-out control to the 3 port VRAM 310 is performed by the horizontal read-out initiation counter 422, the horizontal 64 clock counter 423, and the count counter 424 of horizontal read-out. In addition, N422 clocks of the level criteria read-out dot clock signal HBDCK which the horizontal read-out initiation counter 422 counts among the set point of the counting-down circuit in the PLL circuit of the level criteria read-out dot clock generator 421, and the set point of the counting-down circuit in the PLL circuit of the horizontal read-out dot clock generator 425 N424 clocks of the criteria dot clock signal HBDCK which the count counter 424 of horizontal read-out counts. It is set as a necessary value by CPU620 in a personal computer, respectively.

[0061] C. The contents of the image processing in the 1st example : drawing 7 is the explanatory view showing the contents of processing of the 1st example of this invention, and drawing 8 is a flow chart which shows the procedure. In addition, processing of drawing 8 is performed when CPU620 performs the application program stored in main memory 630.

[0062] In processing of the 1st example, as shown in drawing 7 (A), nine different professional golfers' photograph is displayed on the left half in one window of a color CRT 701 as a still picture. And the animation in which the professional golfer's golf swing-jazz is shown is displayed on the right half of a window in which a user chooses one professional golfer using a mouse 644.

[0063] At step S1 of drawing 8, CPU620 or the image transfer controller 680 reads the image data of a still picture from the CD-ROM equipment 682 which is external storage, and writes in the still picture field SIA in 2nd VRAM310. The image data memorized by 1st VRAM670 are read by the superimposition control circuit 420, and the video signal is supplied to a color CRT 701. Therefore, the still picture written in 1st VRAM310 in step S1 will be displayed on a color CRT 701.

[0064] At step S2, a user chooses one person from nine professional golfers displayed as a still picture. At step S3, the image transfer controller 680 reads the animation image data in which a golfer's selected swing jazz is shown from CD-ROM equipment 682, and they are transmitted to the animation field MIA in 2nd VRAM310. Then, as shown in drawing 7 (B), the animation of a golfer's swing-jazz is written in the animation field MIA in 2nd VRAM310.

[0065] As shown in drawing 7 (C), the alphabetic character "the golf classroom" and "A pro's form" which are displayed in a window, and the color key data KY in which the field which superimposes the image in 2nd VRAM310 is shown are written in the window memory area 632 of main memory 630. The image data of the window memory area 632 are transmitted to 1st VRAM670 by CPU620. In addition, when two or more windows are opened on the screen, two or more window memory areas are secured in main memory 630. And the image data in each window memory area are transmitted to 1st VRAM670 by CPU620. And by the video controller 660, the image data stored in 1st VRAM670 are read as a video



signal LSPC, and are supplied to the image processing circuit 800. Therefore, the video signal LSPC, containing the color key data KY, will be supplied to the image processing circuit 800.

[0066] The signal level of the video signal LSPC corresponding to the color key data KY turns into level more than the reference voltage  $V_r$  shown in drawing 2. Consequently, in the field (superimposition field) in which the color key data KY were set up, the comparison signal COMP, compared from the electrical-potential-difference comparator circuit 540 serves as L level, and the video signal LSDA read from 2nd VRAM310 is chosen by the video switch 510, and is supplied to a color CRT 701. On the other hand, in the field in which the color key data KY are not set up by the video controller 660, the video signal LSPC read from 1st VRAM670 is chosen, and it is displayed on a color CRT 701. If it summarizes, in the superimposition field in which the color key data KY are set up, the image read from 2nd VRAM310 will be displayed, and the image read from 1st VRAM670 will be displayed in the field in which the color key data KY are not set up.

[0067] Drawing 9 is the explanatory view showing the location and size of an image in the 1st example. Drawing 9 (A) shows the size SX of an animation [a dot], and SY [Rhine]. Drawing 9 (B) shows the still picture field SIA and the animation field MIA in 2nd VRAM310. The sizes of a field including the still picture field SIA and the animation field MIA are SXL [a pixel] and SLY [Rhine]. Drawing 9 (C) shows the color key data area in the window memory area 632 (superimposition field) if the starting address (offset address) of the window memory area 632 is set to (X0 and Y0) and the starting address (address of an upper left point) of the color key data area of a still picture is set to (SX0 and SY0) — the difference — the addresses (SX0=X0 and SY0=Y0) are (DH, DY). Drawing 9 (D) shows a screen display in a color CRT 701. The sizes of the animation field MIA in Window W are MH [a pixel] and MV [Rhine], and the sizes of a field including the still picture field SIA and the animation field MIA are MHL [a pixel] and MVL [Rhine].

[0068] The level display scale factor KH and the perpendicular display scale factor KV of an animation of drawing 9 (D) on the basis of the animation of drawing 9 (A) are given by the degree type:

$$KH = MH / SX \quad (1a)$$

$$KV = MV / SY \quad (1b)$$

[0069] Moreover, the address (SX0 and SY0) of the display starting position in Window W is given by the degree type:

$$SX0 = X0 + DH \quad (2a)$$

$$SY0 = Y0 + DV \quad (2b)$$

[0070] The display sizes MHL and MVL of a field including the still picture field SIA and the animation field MIA on the screen of a color CRT 701 are given by the degree type:

$$MHL = SXL \times KH \quad (3a)$$

$$MVL = SYL \times KV \quad (3b)$$

[0071] As explained in drawing 6, the level display scale factor KH of an image is the dividing value N425 of the PLL circuit in the horizontal read-out dot clock generator 425. (drawing 3). It can adjust by adjusting a value. Moreover, the perpendicular scale factor KV of an image is the dividing value N430 of the PLL circuit in the perpendicular read-out Rhine clock generation machine 430. It can adjust by adjusting a value. Specifically, they are these dividing values N425 and N430. A value is given by the degree type:

$$N425 = NH0 / KH \quad (4a)$$

$$N430 = NV0 / KV \quad (4b)$$

NH0 is a dividing value in case the level display scale factor KH is set to 1; here, and NV0 is a dividing value in case the perpendicular display scale factor KV is set to 1.

[0072] Thus, at this example, they are the dividing value N425 of a PLL circuit, and N430. By adjusting, the scaling of the still picture and animation in Window W can be carried out for the same scale factor as coincidence. In addition, the level display scale factor KH and the perpendicular display scale factor KV can be set as a value different, respectively.

[0073] In addition, in case the display scale factors KH and KV are changed, CPU620 carries out the scaling of the color key data area in the window memory area 632 according to these display scale



factors KH and KV. Since there is quite little amount of data of the window memory area 632 compared with the amount of data in VRAM, it can perform the scaling of a color key data area at a high speed by CPU620.

[0074] D: The contents of the image processing in the 2nd example: drawing 10 is the explanatory view showing the contents of processing of the 2nd example of this invention, and drawing 11 is a flow chart which shows the procedure. In addition, processing of drawing 11 is also performed when CPU620 performs the application program stored in main memory 630.

[0075] In the 2nd example, the TV phone system between the computer systems connected to the network is realized. What is shown in drawing 1 as a computer system can be used.

[0076] At step S11 of drawing 11, a still picture for CPU620 to choose a message partner is read from a hard disk drive unit 654, and it writes in the still picture field in 2nd VRAM310. Consequently, as shown in drawing 10 (A), nine still pictures for choosing a message partner are arranged and displayed on the left half of a window.

[0077] A user's own animation is expressed to the animation field in the right half of a window as step S12 of drawing 11. In addition, in the 2nd example, the video camera (not shown) for displaying a user's own animation is connected to the image input terminal 103 (drawing 2).

[0078] If a user chooses one message partner from a still picture in step S13, in step S14, the message partner as whom CPU620 was chosen through the network interface 656 will be called. connection with the other party — completing (step S15) — as shown in drawing 10 (B), the image of the message partner transmitted from a message partner's computer system is displayed on the still picture field in a window (step S16). In addition, a message partner's image is supplied to CPU620 through a network interface 656, and is transmitted to the still picture field in 2nd VRAM310 by CPU620. Since a message partner's image is intermittently supplied through a network interface 656, it is displayed on a color CRT 701 as a semi-continuous still picture (half-animation). In addition, a user's own image is also intermittently transmitted to a message partner's computer system through the network interface 656.

[0079] In this way, during the message (step S17), while a message partner's semi-continuous still picture is displayed on the still picture field in a window, a user's own animation is also shown by the animation field. After a message is completed, a circuit is cut in step S18 and it returns to the condition of drawing 10 (step S18) (A).

[0080] Thus, in the 2nd example, the TV phone using a computer system is easily realizable. Under the present circumstances, in a window, not only a message partner's semi-continuous still picture but a user's own animation can be displayed at coincidence. Moreover, it is also possible to carry out the scaling of the still picture and animation in a window for the same scale factor as coincidence like the 1st example, as shown in drawing 9.

[0081] In addition, this invention can be carried out in various modes in the range which is not restricted to an above-mentioned example or an above-mentioned operation gestalt, and does not deviate from that summary, for example, the following deformation is also possible for it.

[0082] (1) He was trying to compound the video signal LSMEM read from 2nd VRAM310 in the above-mentioned example to the video signal LSPC read from 1st VRAM670 according to the color key data KY stored in 1st VRAM670. However, it is also possible to give the video signal LSPC read from 2nd VRAM310 to a color CRT 701, without compounding with other video signals. In this case, it is also possible to omit 1st VRAM670. Moreover, VRAM310 will have a viewing area in a color CRT 701, and the room corresponding to 1 to 1, and VRAM will be used as a frame memory.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** The block diagram showing the configuration of the computer system as one example of this invention.

**[Drawing 2]** The block diagram showing the internal configuration of the image processing circuit 800.

**[Drawing 3]** The detailed block circuit diagram of the superimposition control circuit 420 and its circumference circuit.

**[Drawing 4]** The explanatory view showing the I/O circuit of Horizontal Synchronizing signal HSPC in the superimposition control circuit 420, and Vertical Synchronizing signal VSPC.

**[Drawing 5]** The block diagram showing the configuration of the PLL circuit 63.

**[Drawing 6]** The explanatory view showing the function of the set point of each circuit in the superimposition control circuit 420.

**[Drawing 7]** The explanatory view showing the contents of processing in the 1st example of this invention.

**[Drawing 8]** The flow chart which shows the procedure in the 1st example of this invention.

**[Drawing 9]** The explanatory view showing the location and size of an image in the 1st example.

**[Drawing 10]** The explanatory view showing the contents of processing in the 2nd example.

**[Drawing 11]** The flow chart which shows the procedure in the 2nd example of this invention.

**[Drawing 12]** The explanatory view showing the condition that the still picture and the animation were displayed by coincidence in one window of a display device.

**[Description of Notations]**

- 61 62 — Buffer
- 62 61 — Buffer
- 63 — PLL circuit
- 71 — Phase comparator
- 72 — Low pass filter
- 73 — Voltage controlled oscillator (VCO)
- 74 — N counting-down circuit
- 101 — Voice input terminal
- 102 — Voice output terminal
- 103 — Image input terminal
- 110 — Sound signal selection circuitry
- 120 — Sound-volume control circuit
- 130 — Video-signal selection circuitry
- 140 — Video-signal decoder
- 210 — A-D converter
- 220 — Digitization control circuit
- 310 — Video RAM (1st image memory)
- 320 — Image data selection circuitry

330 — Image memory control signal selection circuitry  
340 — Write control circuit  
350 — Read-out control circuit  
360 — FIFO memory  
370 — FIFO read-out control circuit  
410 — DA converter  
420 — Superimposition control circuit  
421 — Level criteria read-out dot clock generator  
422 — Horizontal read-out initiation counter  
424 — Count counter of horizontal read-out  
425 — Horizontal read-out dot clock generator  
426 — Perpendicular read-out offset counter  
427 — The number counter of perpendicular blankings  
428 — Perpendicular read-out initiation counter  
429 — Count counter of perpendicular read-out  
430 — Perpendicular read-out Rhine clock generation machine  
431 — AND circuit  
432 — OR circuit  
433 — NOR circuit  
434 — Tri-state circuit  
435 — Tri-state circuit  
451 — AND circuit  
490,491 — Synchronizing signal terminal  
506 — Chrominance-signal input terminal  
507,508 — Synchronous terminal  
510 — Video switch  
540 — Electrical-potential-difference comparator circuit  
610 — Bus  
620 — CPU (processor)  
630 — Main memory  
632 — Window memory area  
640 — Circumference controller  
642 — Keyboard  
644 — Mouse  
650 — Compound I/O Port  
652 — Floppy disk drive unit  
654 — Hard disk drive unit  
656 — Network interface  
660 — Video controller  
670 — Video RAM (1st image memory)  
680 — Image transfer controller  
682 — CD-ROM equipment  
701 — Color CRT  
710 — Television tuner  
711 — TV antenna  
800 — Image processing circuit (image processing section)

---

[Translation done.]